



# Ecole électronique IN2P3 2012 « Systèmes électroniques »

## Mesures de temps avec FASTER

Cathy Fonbonne  
30/11/2012



1. Le projet FASTER
2. Le module TDC de FASTER
3. Le module Synchro RF



## L'équipe FASTER

Benjamin Carniol	FASTER, Conception FPGA
Thierry Chaventré,	RHB, Développeur
Daniel Cussol,	RHB, Concepteur
David Etasse,	FASTER, Chef de projet
Cathy Fontbonne,	FASTER, Modules de mesure
Jean-Marc Fontbonne,	FASTER, Expertise instrumentation
Julien Harang,	FASTER, Conception et routage de cartes
Jean Hommet,	FASTER, Architecture logicielle
Hervé Plard	FASTER, Prototypage électronique
Jérôme Poincheval	FASTER, Interfaces graphiques



## Expériences de physique

- Au LPC
  - nEDM (Interactions Fondamentales). *9 QDC sur NANOSC (PSI)*
  - Fragmentation  $^{12}\text{C}$  (Applications Médicales). *18 voies QDC ADC (GANIL)*
  - Tests de scintillateurs pour la détection de neutrons, tests de dysphonie (Groupe Structure Nucléaire). *7 QDC-TdC<sub>HR</sub> 1RF (B3 Bruyères le Châtel)*
  - WITCH (Interactions Fondamentales). *5 QDC-TdC<sub>HR</sub> (CERN)*
  - PTFI 5 voies QDC (GANIL)
- Hors LPC
  - D. Rodriguez (Université de Huelva, Espagne)
  - I. Matea (IPNO) pour des TPs
  - G. Bélier (CEA/DAM)



## Objectifs

- Système numérique d'acquisition et de traitement du signal temps réel.
- Les traitements du signal sont similaires aux traitements analogiques habituellement utilisés en physique nucléaire.
- Système modulaire destiné à des expériences de une à quelques centaines de voies, basé sur un modèle d'arbre synchronisé.
- Système utilisant le plus possible les standards actuels : par exemple, les modules sont au format NIM ou AMC, utilisés dans des châssis NIM,  $\mu$ TCA ou directement sur table. Le protocole de communication est le protocole UDP.



# 1. Projet FASTER

Format AMC



## Modules FASTER



Format NIM



Ethernet Gigabit

T0 et CLK pour la synchronisation des modules

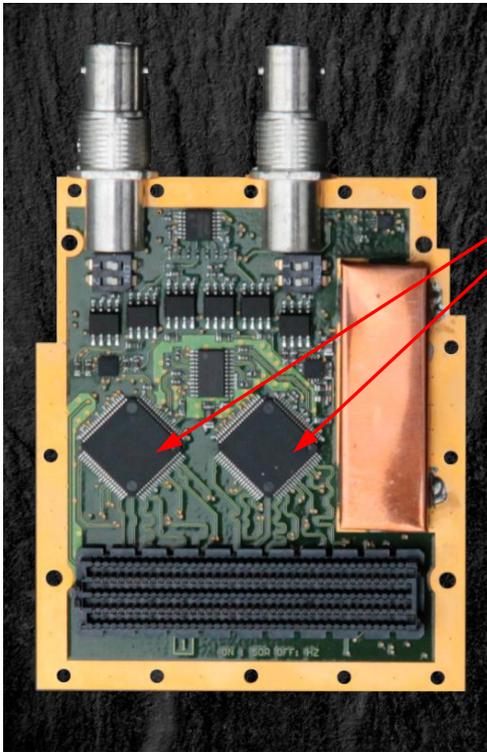
## Pour la mesure de temps : Carte fille CARAS

### Spécifications techniques:

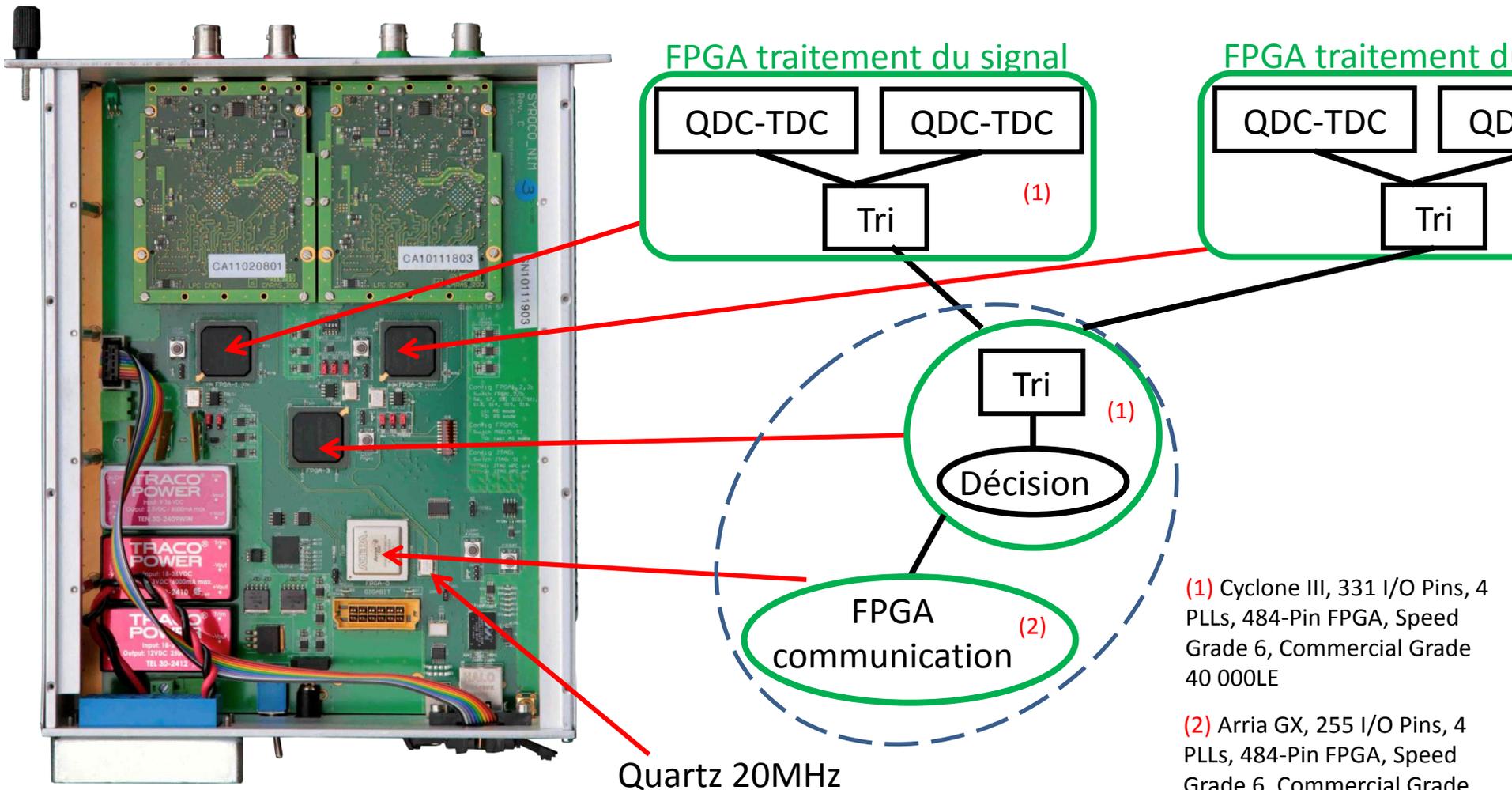
- Format VITA57
- 2 voies = 2 **FADC 500MHz, 12 BIT**
- $\pm 1.15V$  de gamme dynamique sur  $50\Omega$  ou  $10k\Omega$  (sélection par switch)
- Offset d'entrée réglable par soft entre  $-1.1V$  et  $1.1V$
- Bruit:  $1.1lsb_{rms} \approx 600\mu V_{rms}$
- Bande passante :  $100MHz$

### Son rôle:

numériser les signaux provenant des détecteurs.



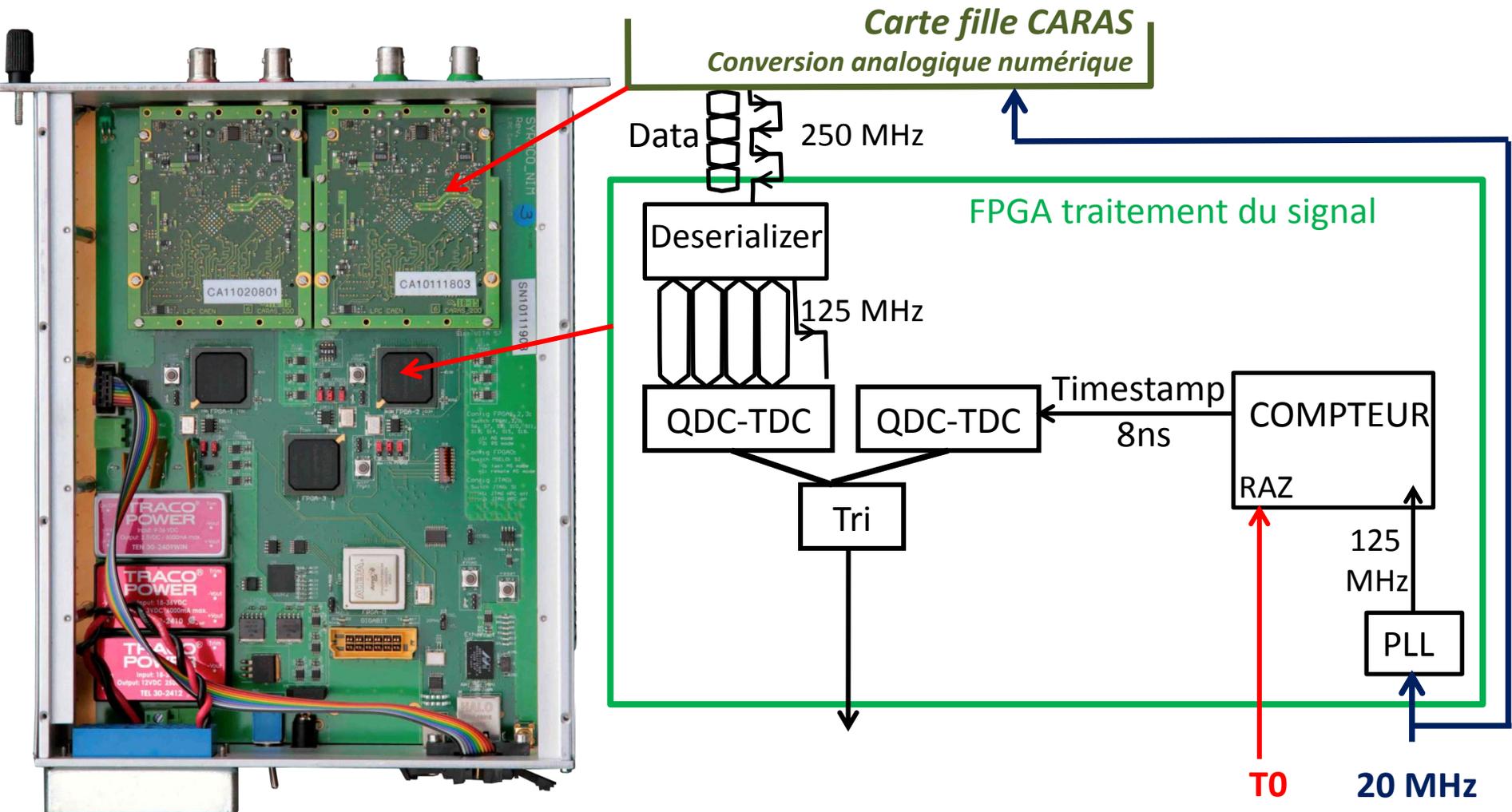
## Module FASTER-NIM



(1) Cyclone III, 331 I/O Pins, 4 PLLs, 484-Pin FPGA, Speed Grade 6, Commercial Grade 40 000LE

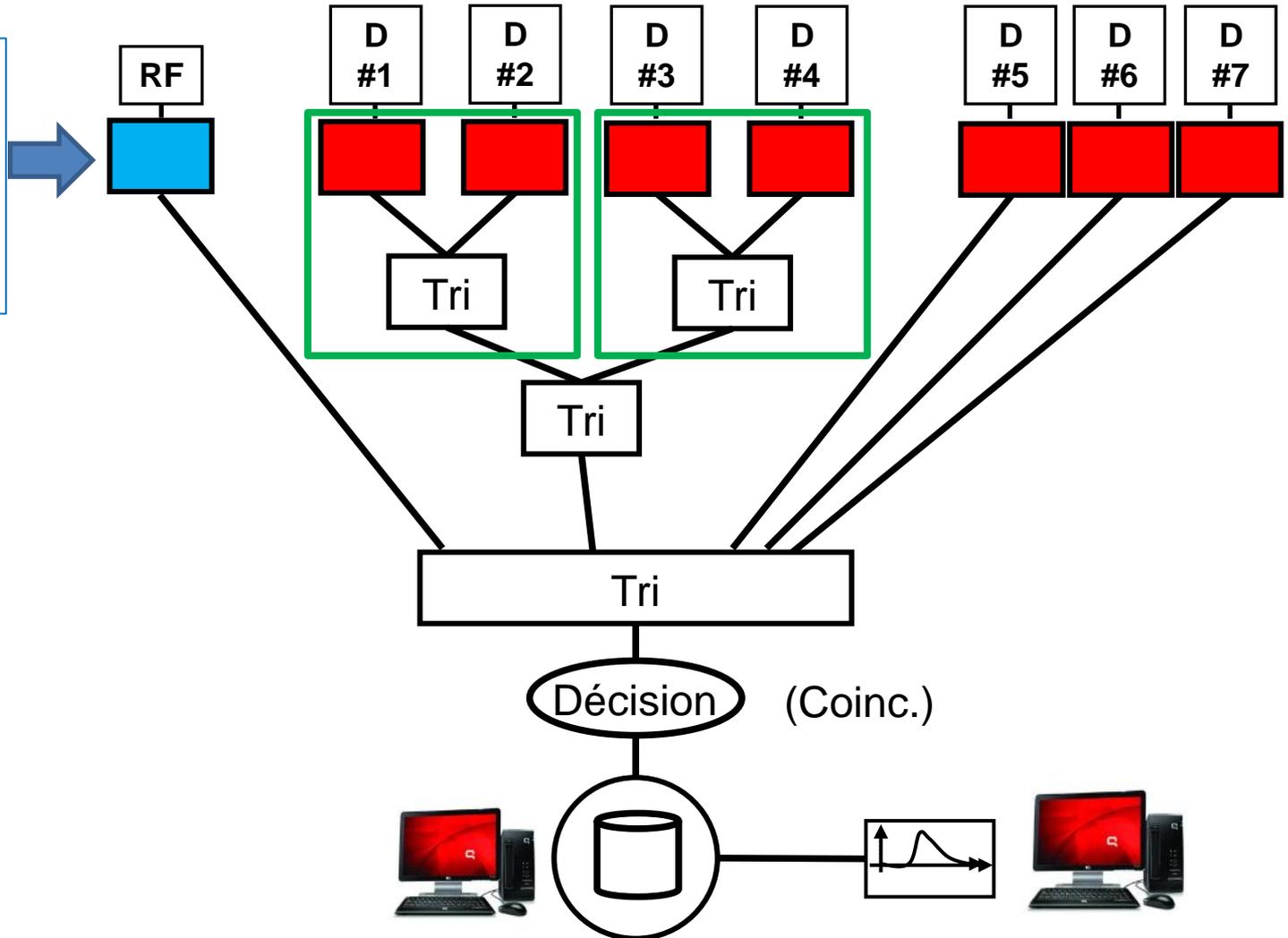
(2) Arria GX, 255 I/O Pins, 4 PLLs, 484-Pin FPGA, Speed Grade 6, Commercial Grade

## Focus sur le FPGA traitement du signal



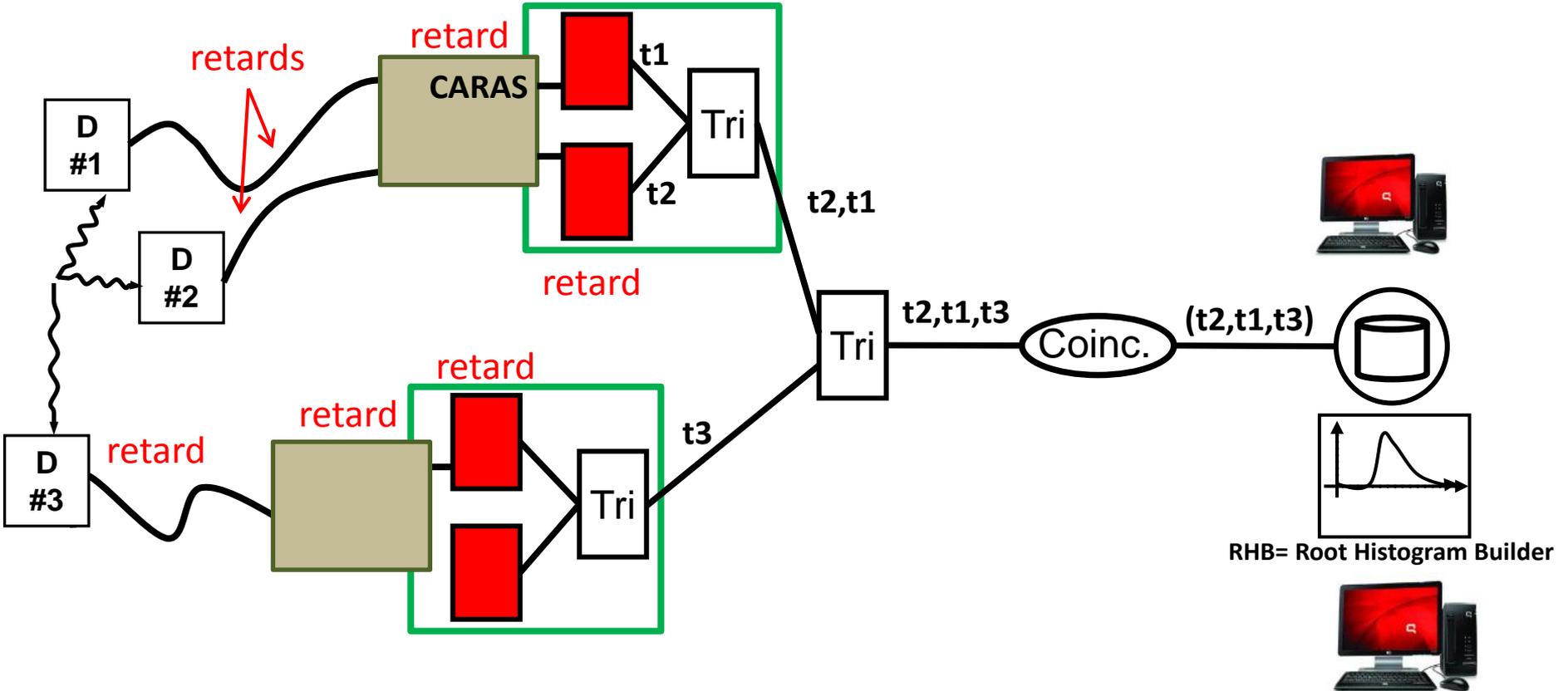
## Exemple d'arbre synchronisé

Les signaux sont traités,  
Les évènements sont détectés et datés.



- D# Détecteur
- RF RF cyclotron
- QDC-TDC<sub>HR</sub>
- Synchro RF

## Nécessité de la calibration par la physique



$$\text{TOF} = t_3 - t_1 + \text{cste}$$

← retards



1. Le projet FASTER
- 2. Le module TDC de FASTER**
3. Le module Synchro RF



## 2. Le module TDC de FASTER

### Objectif du module TDC

Donne la mesure précise de l'instant d'arrivée des particules sur le détecteur, quelque soit l'énergie déposée dans ce dernier.

Pour cela, il faut que :

- Les évènements soient détectés par un module discriminateur (la précision est, à ce niveau de 2ns).
- Un traitement numérique soit effectué pour augmenter la précision du temps jusqu'à 7,8ps (valeur du bit de quantification).

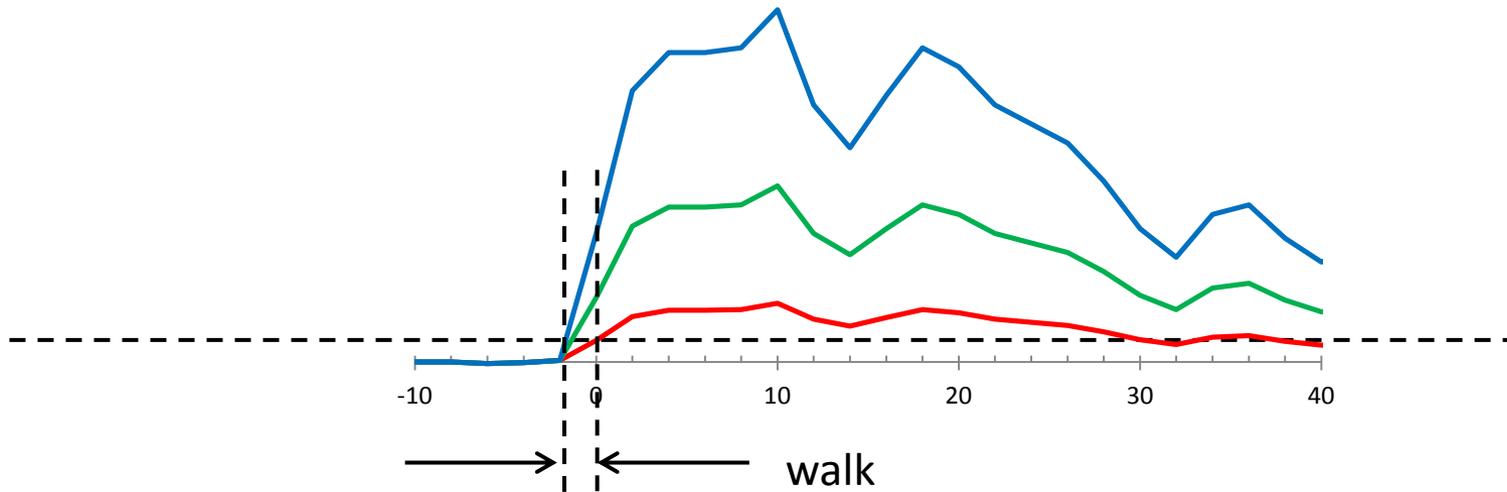


## 2. Le module TDC de FASTER

### Les modules discriminateurs sur FASTER

- Un module discriminateur à seuil
- Un module discriminateur à fraction constante

### Discriminateur à seuil



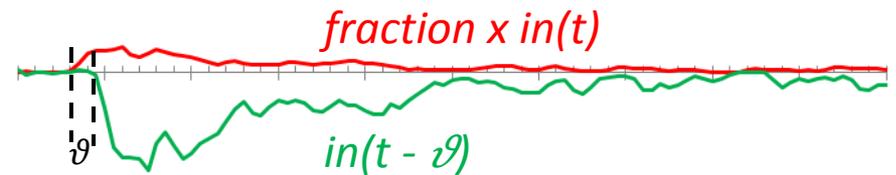
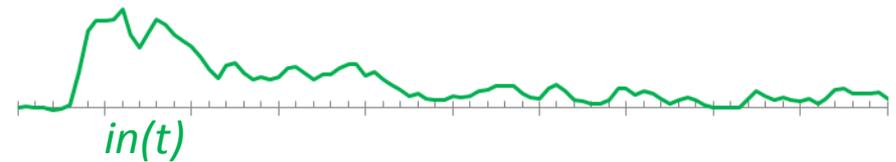
Existence de l'erreur de déclenchement liée à l'amplitude = walk

### Discriminateur à fraction constante

- Méthode pour éliminer le walk.
- Ne fonctionne que pour des signaux homothétiques  $in(t) = k \times shape(t)$

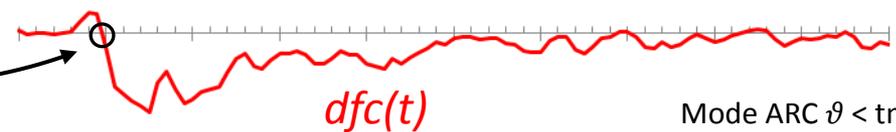
Principe :

- Mettre en forme le signal  $dfc(t) = f \times in(t) - in(t - \vartheta)$
- Détecter le passage par 0 de  $dfc(t)$



$$dfc(t) = 0$$

$$f \times k \times shape(t) - k \times shape(t - \vartheta) = 0$$

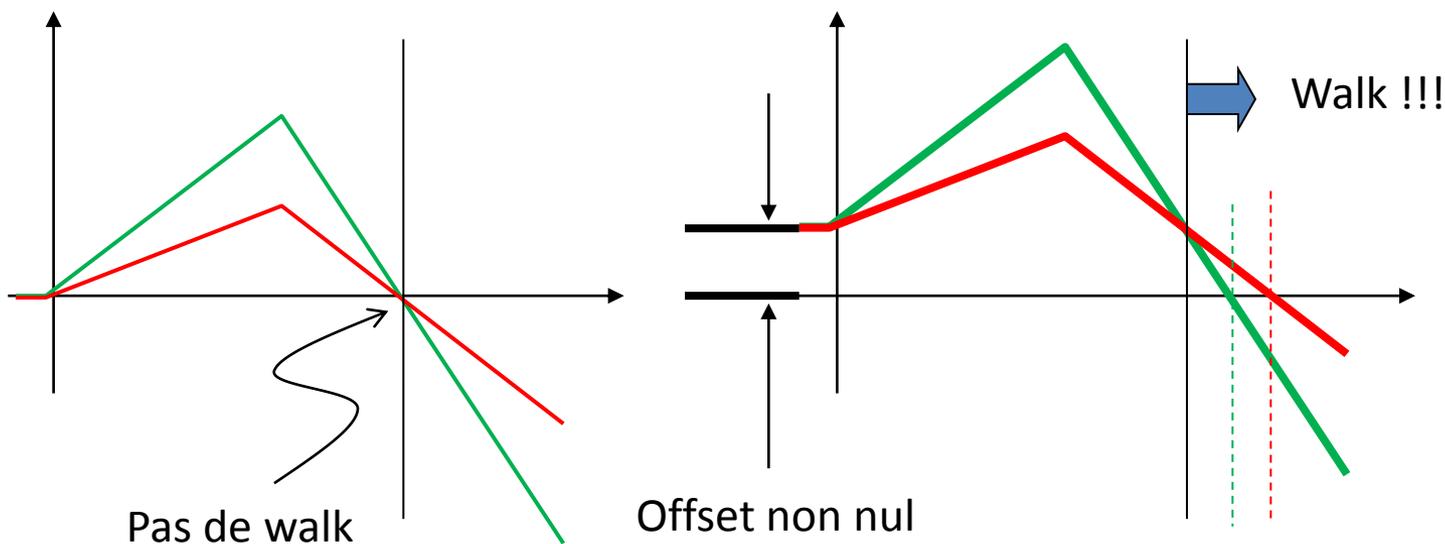


Mode ARC  $\vartheta < t_m$   
Mode TCF  $\vartheta > t_m$

### Discriminateur à fraction constante

Un offset des signaux d'entrée génère du walk !!!

Illustration en mode ARC



 **L'algorithme devra corriger cet offset s'il existe !**



### Discriminateur à fraction constante

L'incertitude temporelle vaut par exemple en mode Arc :

$$\sigma_t = \frac{\sqrt{1+f^2}}{(1-f)} \cdot \frac{\sigma_{in}}{pente_{montée}}$$

Incertitude temporelle d'un trigger à seuil

 L'existence d'un filtre passe-bas dans l'algorithme peut améliorer la mesure.

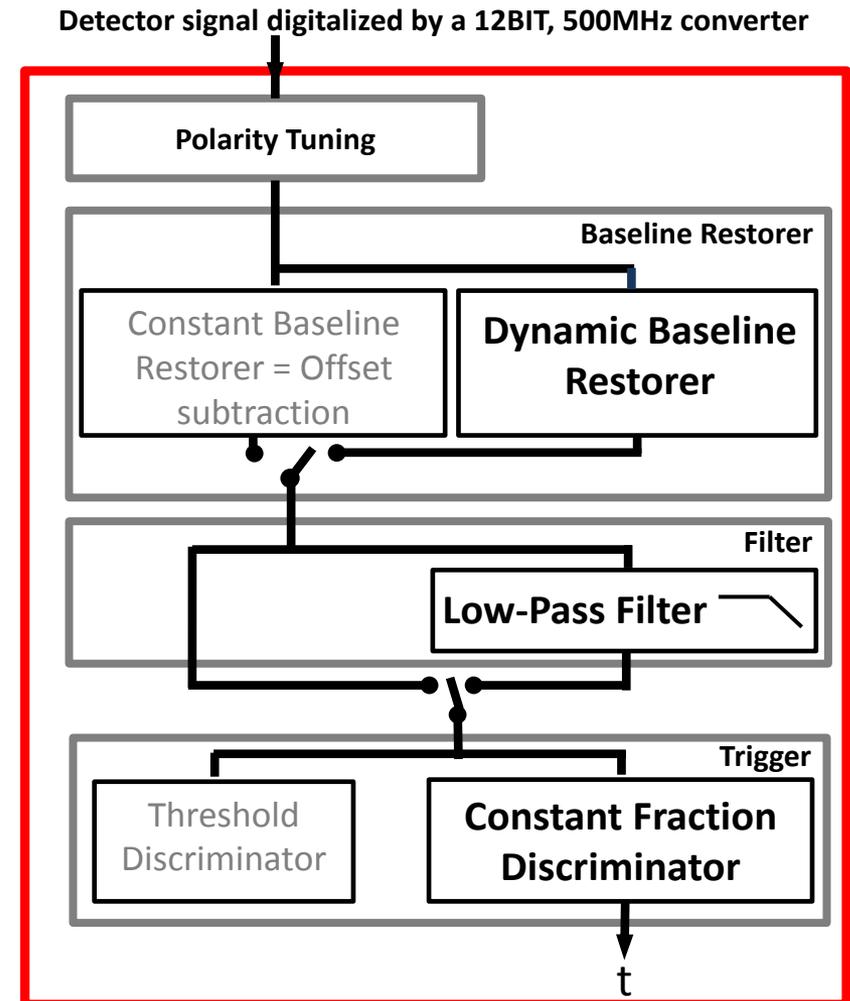
### L'algorithme TDC

L'algorithme TDC doit comporter les éléments essentiels suivants:

- Un correcteur de ligne de base
- Un Filtre passe-bas
- Un Discriminateur à fraction constante.



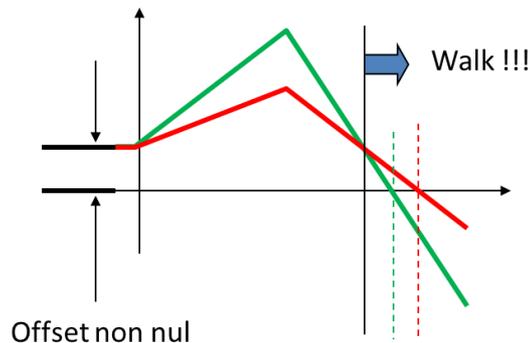
Recommandation préalable :  
On rajoute suffisamment de bits à la donnée initiale pour s'affranchir du bruit de calcul.



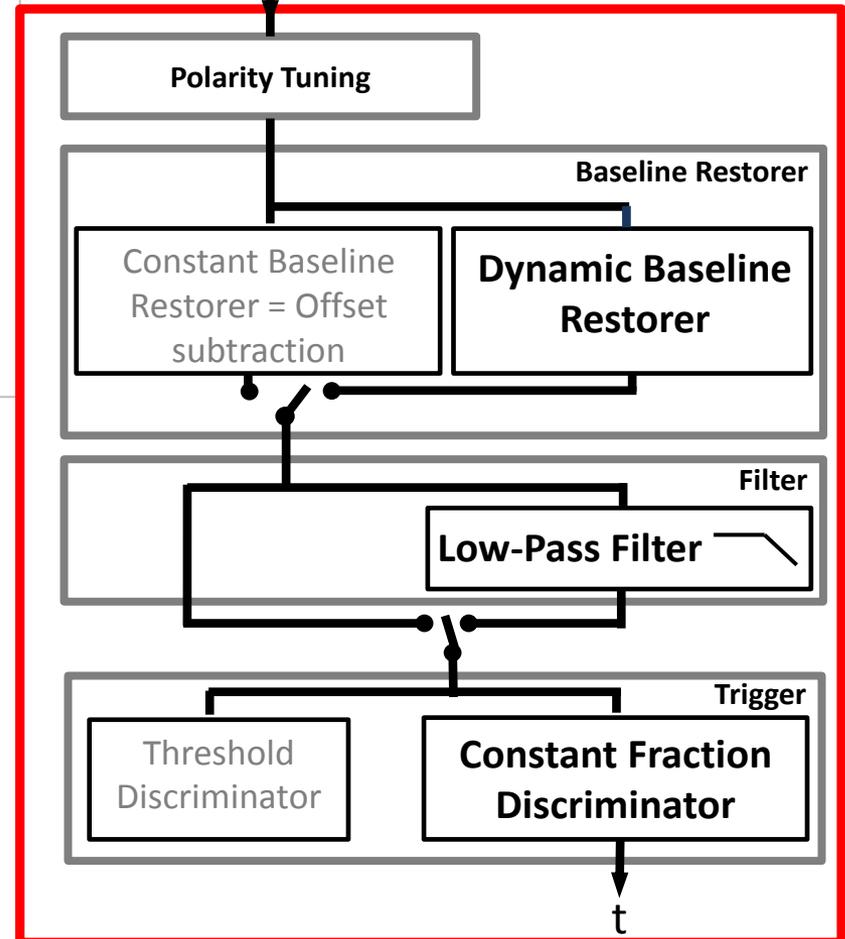
### L'algorithme TDC

L'algorithme TDC doit comporter les éléments essentiels suivant :

- Un correcteur de ligne de base
- Un Filtre passe-bas
- Un Discriminateur à fraction constante.



Detector signal digitalized by a 12BIT, 500MHz converter





## 2. Le module TDC de FASTER

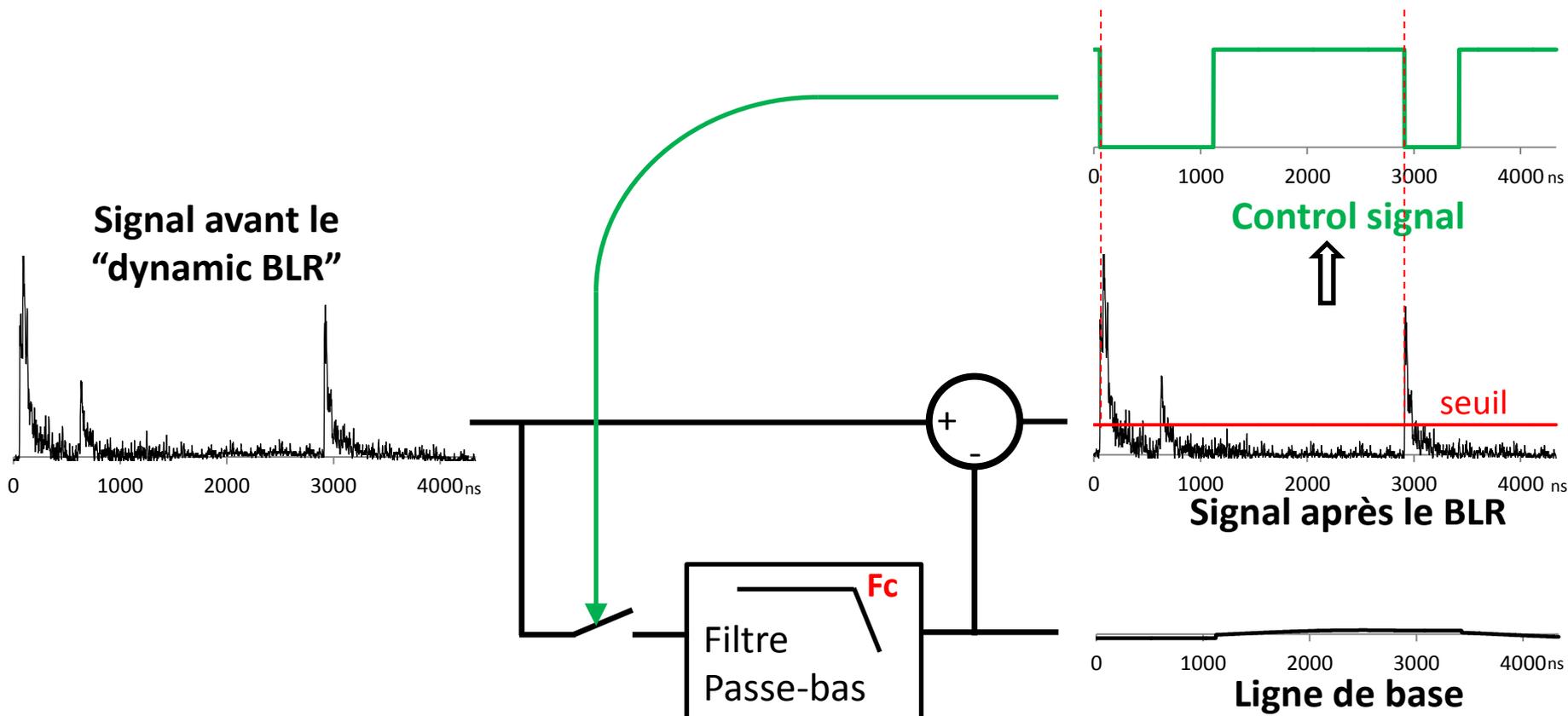
### Le correcteur de ligne de base

Pour éviter le walk, la ligne de base doit être rigoureusement nulle.

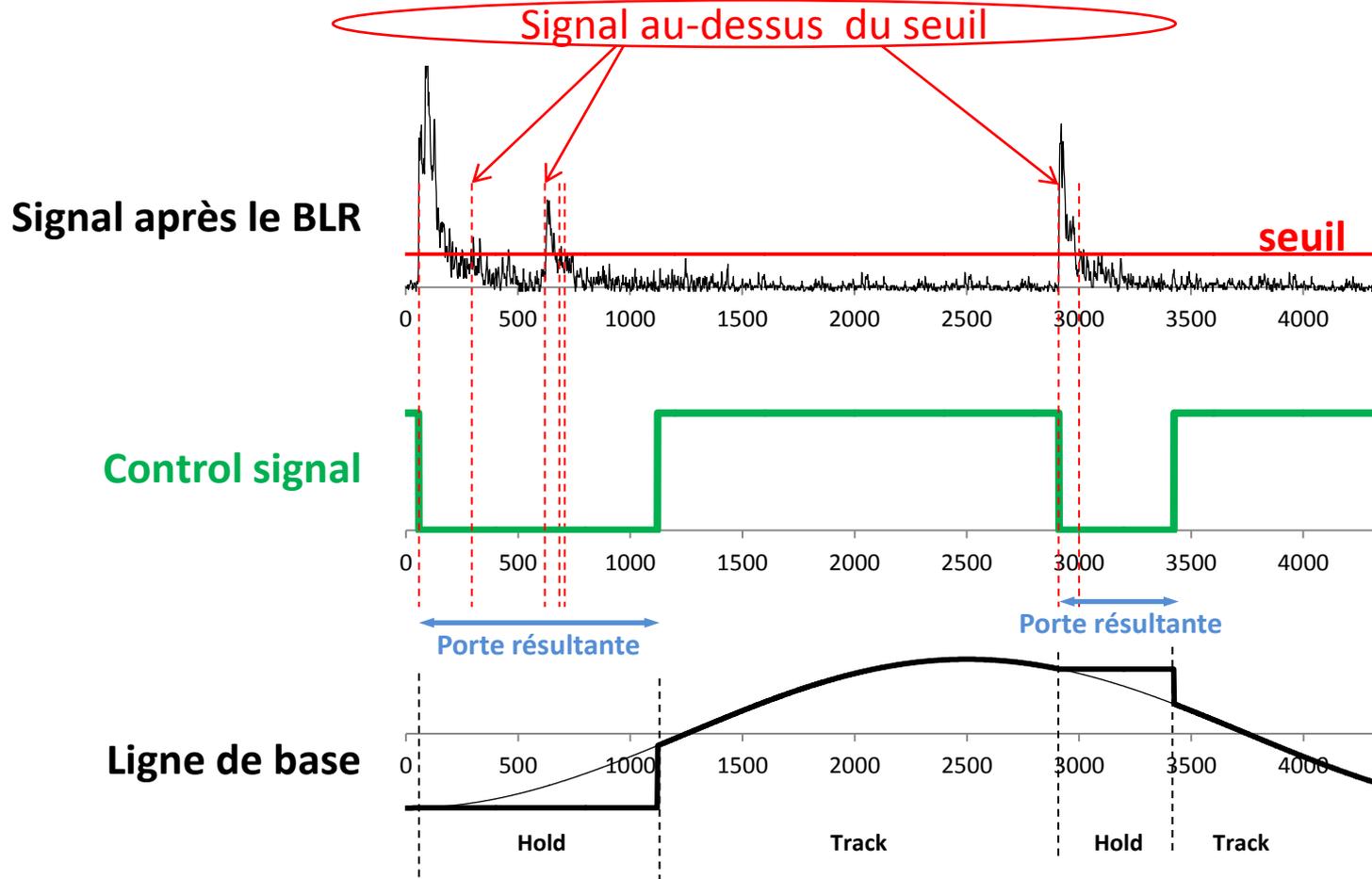
FASTER propose 2 moyens :

- Soustraction d'un offset constant : « Constant BLR »
- Soustraction d'un niveau suivant les variations lentes de la ligne de base : « Dynamic BLR »

### Le « Dynamic BLR » : principe



### Le « Dynamic BLR » : principe





## 2. Le module TDC de FASTER

### Le « Dynamic BLR » : focus sur le filtre passe-bas

Exemple de programmation :

⇒ programmation des filtres au moyen de suite récurrentes, aux coefficients simples.

Filtre passe-bas du premier ordre.

$$out(p) = \frac{1}{1 + \tau p} in(p)$$

En prenant :

$$\tau = (2^{n_\tau} - 1)T_s$$

où  $T_s = 1/F_{\text{fpga}} = 8\text{ns}$

et  $n_\tau$  un entier : 2,5,7,10

ce qui fait des fréquences de coupure de 6,6MHz, 642kHz, 157kHz, 20kHz.

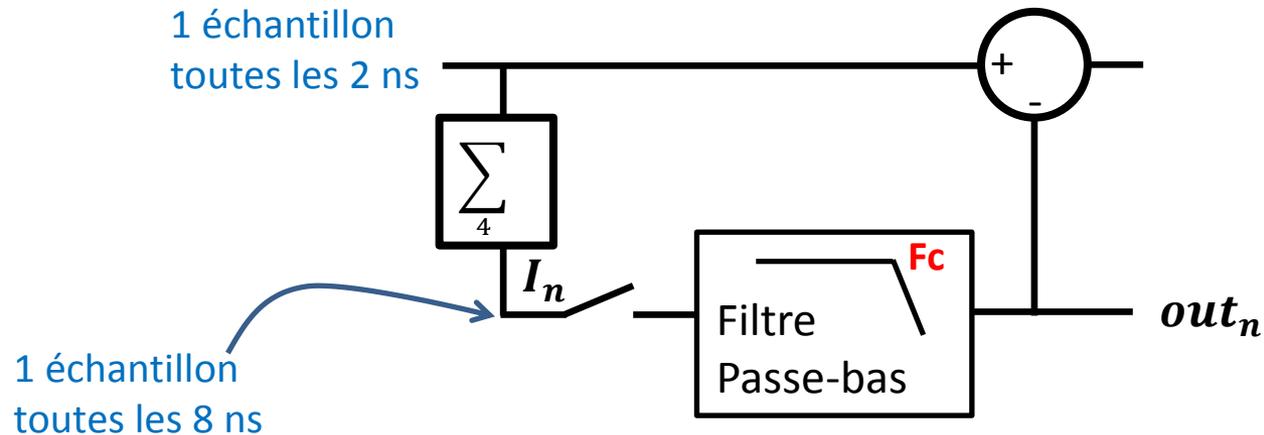
En utilisant l'équivalence de la dérivée:  $p = \frac{1}{T_s} (1 - z^{-1})$

Et en posant  $V_n = 2^{n_\tau} out_n$  ( $out_n = out(t_n)$ )

### Le « Dynamic BLR » : focus sur le filtre passe-bas

On programme

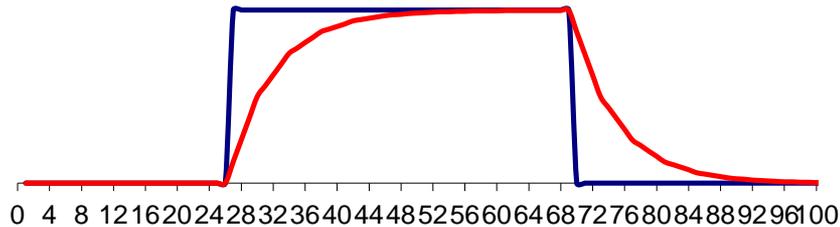
$$V_n = V_{n-1} - \frac{V_{n-1}}{2^{n\tau}} + I_n \quad \& \quad out_n = \frac{V_n}{2^{n\tau}}$$



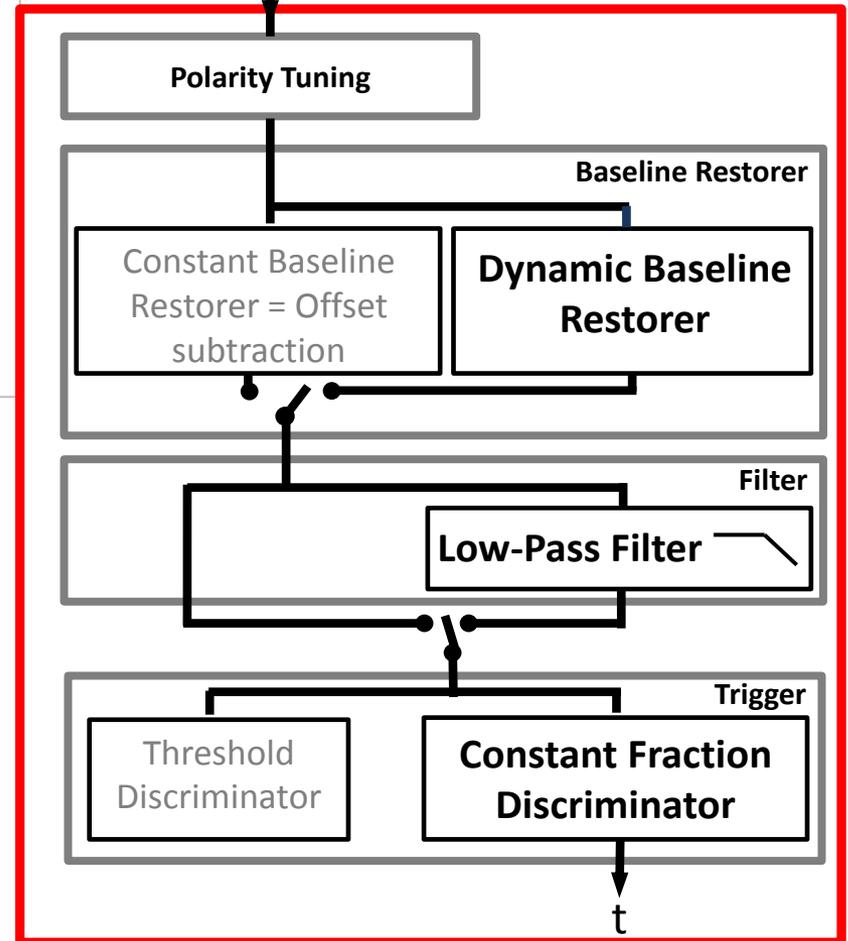
### L'algorithme TDC

L'algorithme TDC doit comporter les éléments essentiels suivant :

- Un correcteur de ligne de base
- Un Filtre passe-bas
- Un Discriminateur à fraction constante.



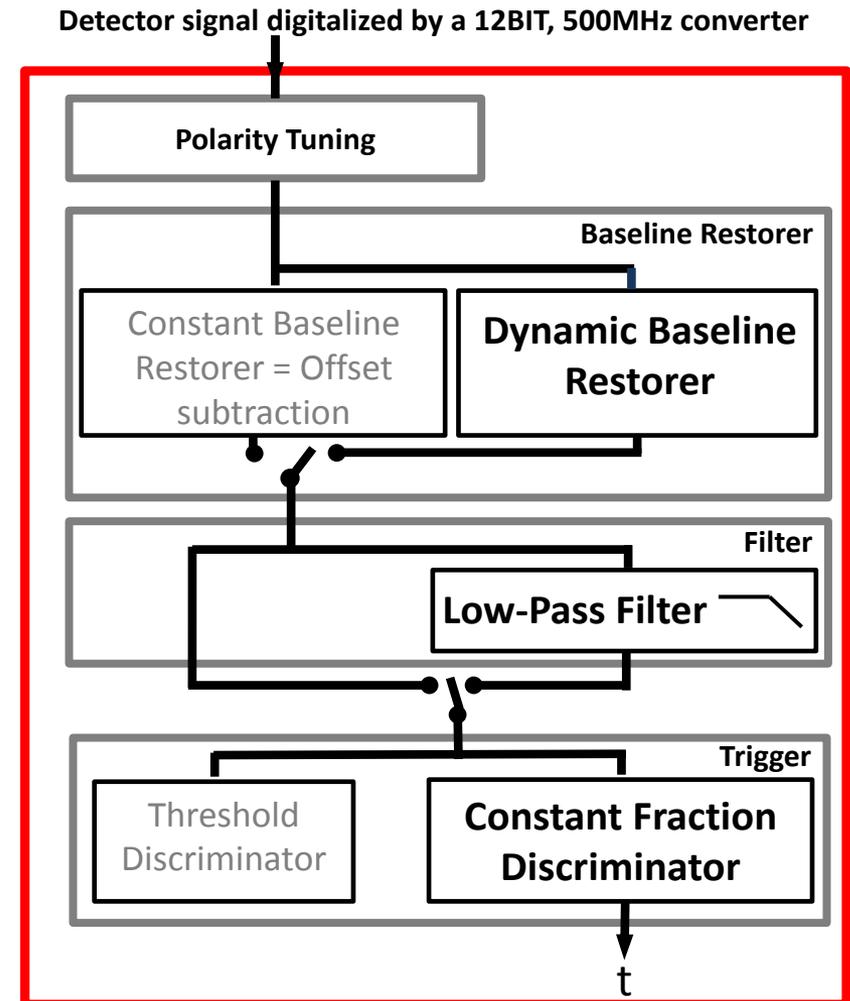
Detector signal digitalized by a 12BIT, 500MHz converter



### L'algorithme TDC

L'algorithme TDC doit comporter les éléments essentiels suivant :

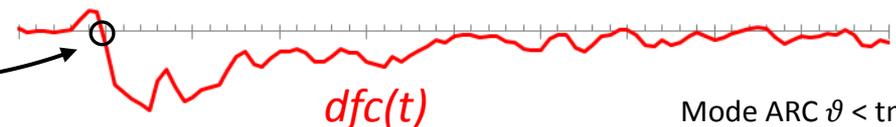
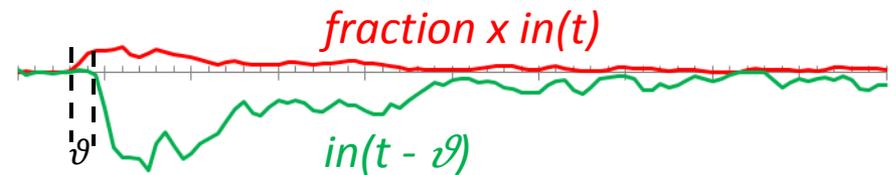
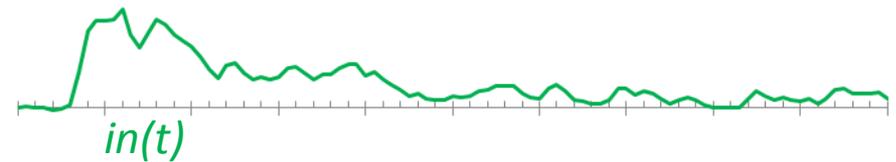
- Un correcteur de ligne de base
- Un Filtre passe-bas
- Un Discriminateur à fraction constante.



### Discriminateur à fraction constante

Principe :

- Mettre en forme le signal  $dfc(t) = f \times in(t) - in(t - \vartheta)$
- Détecter le passage par 0 de  $dfc(t)$



Mode ARC  $\vartheta < t_m$   
Mode TCF  $\vartheta > t_m$

$$dfc(t) = 0$$

$$f \times \cancel{K} \times shape(t) - \cancel{K} \times shape(t - \vartheta) = 0$$



## 2. Le module TDC de FASTER

### Programmation du DFC: Mise en forme $f \times in(t) - in(t - \vartheta)$

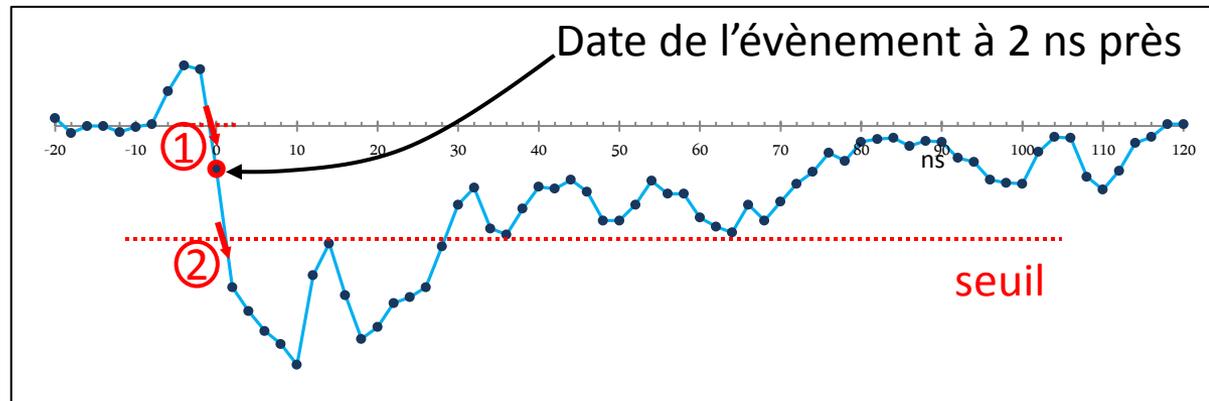
La plus simple possible :

- choix de la fraction  $f$  : 1/2, 1/4, 1/8
- choix du délai : 2ns  $\Rightarrow$  16ns

### Programmation du DFC: Détection du passage par 0

Comporte en fait 2 triggers :

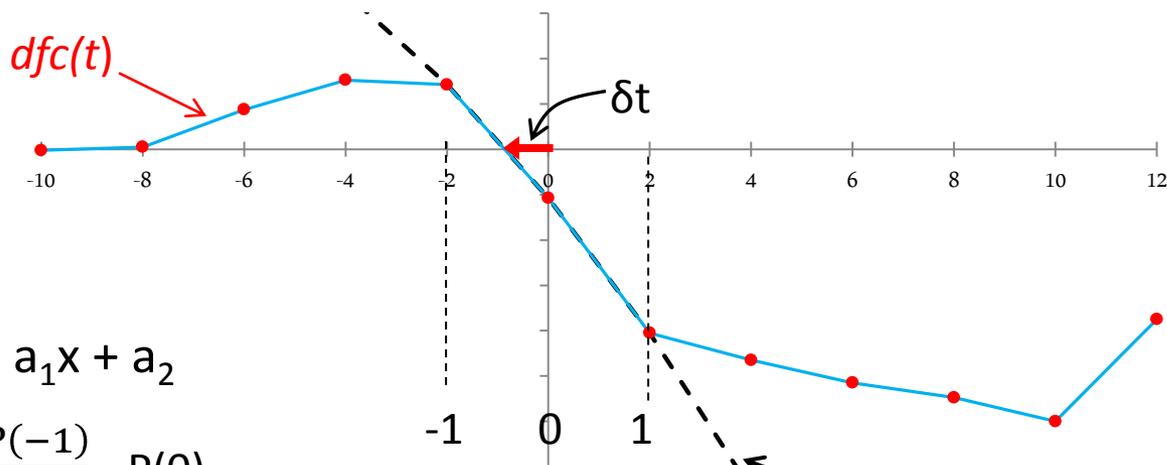
- détection du passage par zéro sur front descendant
- détection du passage d'un seuil négatif sur front descendant dans un délai de 24 ns



La date de l'évènement à 2 ns près est relevée

### Programmation du DFC: Détection du passage par 0

Pour déterminer  $\delta t \Rightarrow$  interpolation polynomiale de degré 2



$$\begin{cases} P(x) = a_0x^2 + a_1x + a_2 \\ a_0 = \frac{P(1)+P(-1)}{2} - P(0) \\ a_1 = \frac{P(1)-P(-1)}{2} \\ a_2 = P(0) \end{cases}$$

Interpolation  $P(x)$

$$P(-1) = dfc(-2ns)$$

$$P(0) = dfc(0ns)$$

$$P(1) = dfc(2ns)$$



## 2. Le module TDC de FASTER

### Programmation du DFC: Calcul de $\delta t$

$$P(x) = a_2x^2 + a_1x + a_0$$

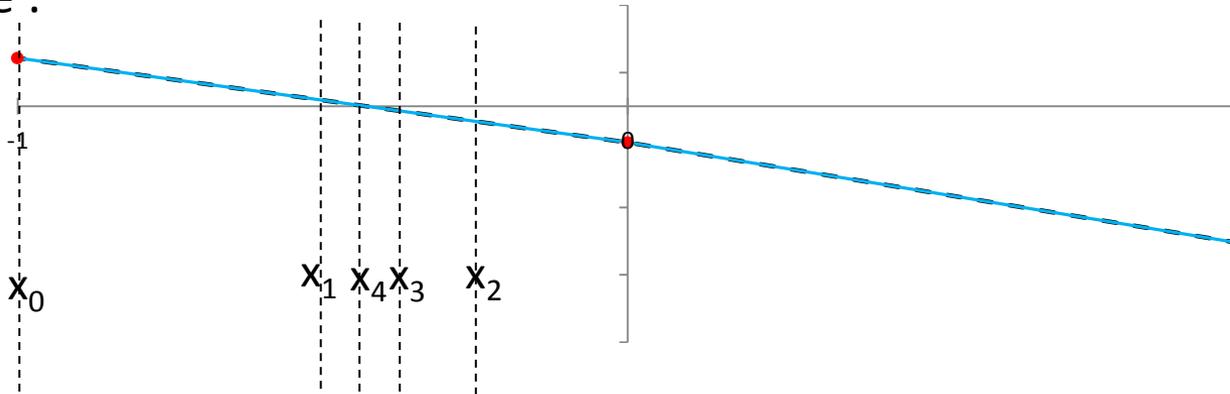
On résout plutôt l'équation  $U(x) = 2P(x) = 0$

$$U(x) = ax^2 + bx + c$$

Sachant que la solution se trouve dans l'intervalle  $[-1; 0]$ , on résout l'équation par dichotomie.

### Programmation du DFC: Calcul de $\delta t$

Exemple :



$$x_0 = -1$$

$$U(x_0) > 0$$

$$x_{0\min} = -1$$

$$x_{0\max} = 0$$

$$x_{0\max} - x_{0\min} = 1$$

$$x_1 = \frac{x_{0\min} + x_{0\max}}{2} = x_0 + \frac{x_{0\max} - x_{0\min}}{2}$$

$$U(x_1) > 0$$

$$x_{1\min} = -\frac{1}{2}$$

$$x_{1\max} = 0$$

$$x_{1\max} - x_{1\min} = \frac{1}{2}$$

$$x_2 = \frac{x_{1\min} + x_{1\max}}{2} = x_1 + \frac{x_{1\max} - x_{1\min}}{2}$$

$$U(x_2) < 0$$

$$x_{2\min} = -\frac{1}{2}$$

$$x_{2\max} = -\frac{1}{4}$$

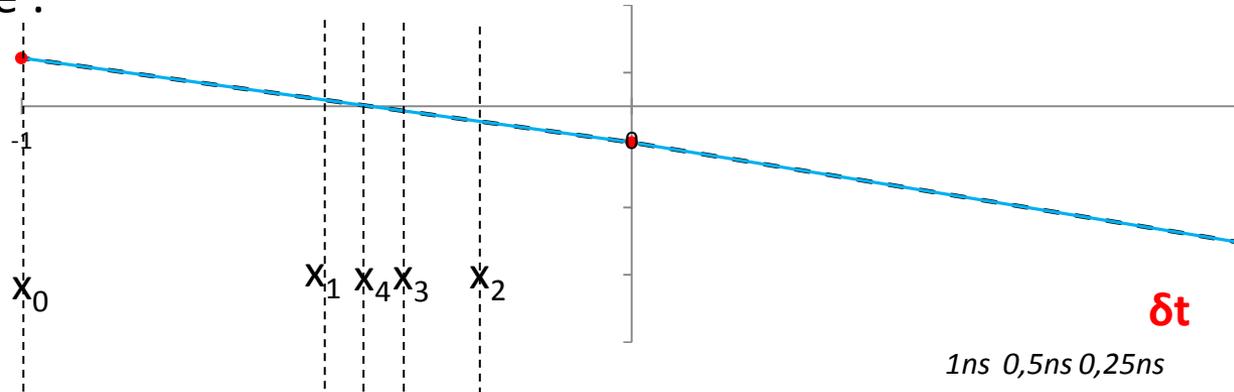
$$x_{2\max} - x_{2\min} = \frac{1}{4}$$

$$x_3 = \frac{x_{2\min} + x_{2\max}}{2} = x_2 - \frac{x_{2\max} - x_{2\min}}{2}$$

.... La solution est de la forme  $x_n = x_{n-1} \pm \frac{1}{2^n}$

### Programmation du DFC: Calcul de $\delta t$

Exemple :



$$x_0 = -1$$

$$U(x_0) > 0$$

$$x_1 = x_0 + \frac{1}{2}$$

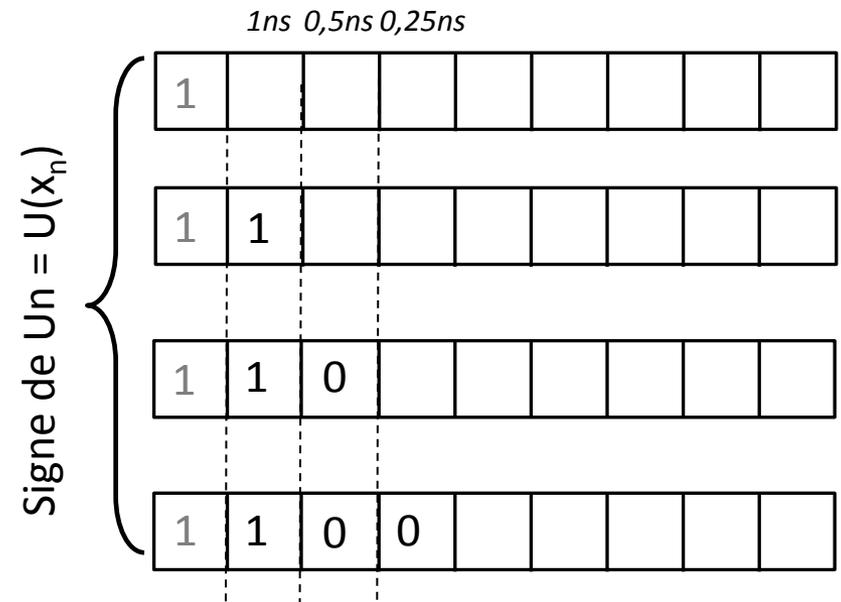
$$U(x_1) > 0$$

$$x_2 = x_1 + \frac{1}{2^2}$$

$$U(x_2) < 0$$

$$x_3 = x_2 - \frac{1}{2^3}$$

$$U(x_3) < 0$$





## 2. Le module TDC de FASTER

### Programmation du DFC: Calcul de $\delta t$

Le but du jeu :

- Trouver  $x_n$  pour  $n=8$  (= 8 bits de résolution,  $2\text{ns}/2^8 = 7,8\text{ps}$ ) (grâce au signe de  $U_{n-1}$ ).
- Savoir calculer  $U_n = U(x_n)$  en un coup d'horloge.

$\Rightarrow$  Trouver  $U_n$  en fonction de  $U_{n-1}$

Hypothèse de travail :

- $f_{\text{fpga}} = 125\text{MHz}$
- Les données sont de 12 bits+ (7bits + 26bits) pour les calculs



## 2. Le module TDC de FASTER

### Programmation du DFC: $U_n$ en fonction de $U_{n-1}$

On pose  $U_n = ax_n^2 + bx_n + c$

avec  $x_n = x_{n-1} \pm \frac{1}{2^n}$

$x_{n+1}$  est choisi suivant le signe de  $U_n$

$$U_n = a(x_{n-1} \pm \frac{1}{2^n})^2 + b(x_{n-1} \pm \frac{1}{2^n}) + c$$

$$U_n = (ax_{n-1}^2 + bx_{n-1} + c) + \frac{a}{2^{2n}} \pm \frac{2ax_{n-1}}{2^n} \pm \frac{b}{2^n}$$

$$U_n = U_{n-1} \pm \frac{1}{2^n} (2ax_{n-1} + b) + \frac{a}{2^{2n}}$$

On pose  $V_n = 2^{2n}U_n$

$$V_n = 4V_{n-1} \pm 4(2^{n-1}ax_{n-1}) \pm 2^n b + a$$

On pose ensuite  $T_n = 2^n ax_n$

$$T_n = 2^n a(x_{n-1} \pm \frac{1}{2^n})$$

$$T_n = 2T_{n-1} \pm a$$

On pose aussi  $b_n = 2^n b$

$$b_n = 2b_{n-1}$$

Pour finir, on dispose de 3 suites, dont on calcule les valeurs à chaque coup d'horloge.

$$V_n = 4V_{n-1} \pm 4T_{n-1} \pm 2b_{n-1} + a$$

$$T_n = 2T_{n-1} \pm a$$

$$b_n = 2b_{n-1}$$

$$V_0 = dfc(-2ns)$$

$$T_0 = dfc(0ns) - dfc(2ns) - dfc(-2ns)$$

$$b_0 = dfc(2ns) - dfc(-2ns)$$

Avec  $a = dfc(2ns) + dfc(-2ns) - 2dfc(0ns)$

**Le signe de V1 à V8 va définir chaque bit de la solution!**

**La solution à 7,8 ps est atteinte au bout de 8 coups d'horloge!**

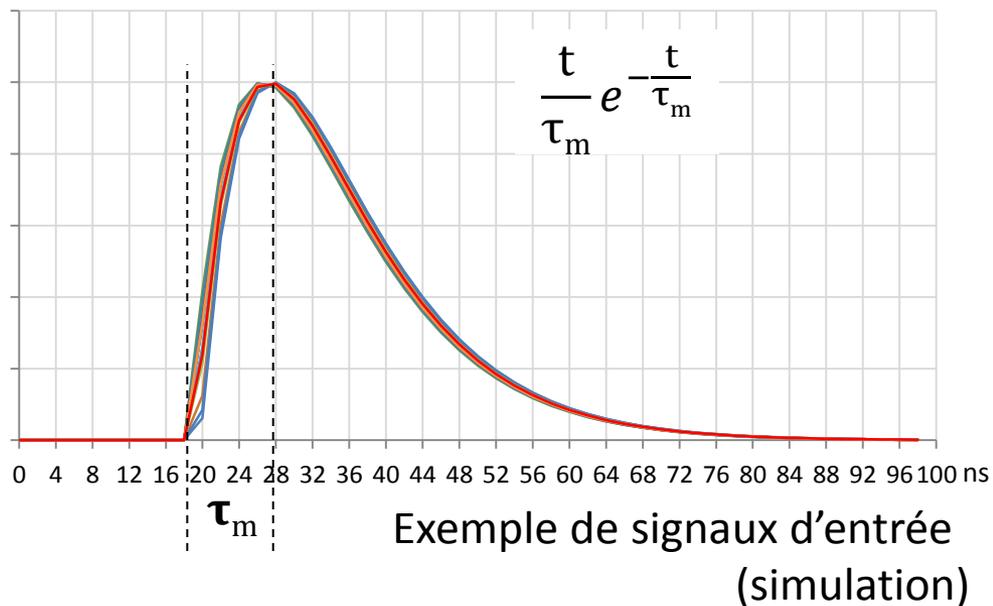
### Quels signaux pour FASTER – TDC ?

Signaux qui peuvent être interpolés par un polynôme de degré 2, et compatibles avec un échantillonnage au pas de 2ns.

Exemple: la mesure de temps est effectuée en mode ARC.

Simulation de l'erreur (écart-type) due à l'échantillonnage

$\tau_m$	2ns	4ns	6ns	8ns
ordre 2	254ps	85ps	25ps	6,7ps
ordre 3	230ps	66ps	15ps	1,4ps

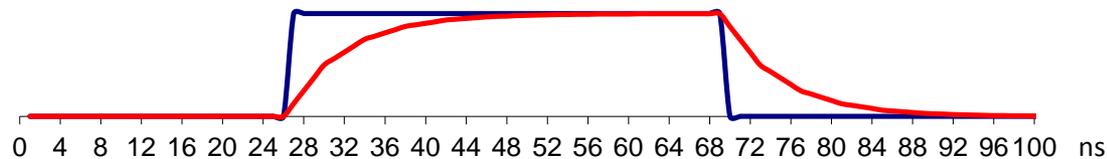


**Dans le cas de signaux trop rapides, la détermination de temps est meilleure si le signal provenant du détecteur est d'abord filtré passe-bas (avec un filtre analogique) avant d'être numérisé.**

### Quels signaux pour FASTER – TDC ?

Test avec des signaux logiques:

Il faut filtrer passe-bas le signal pour augmenter le temps de montée.

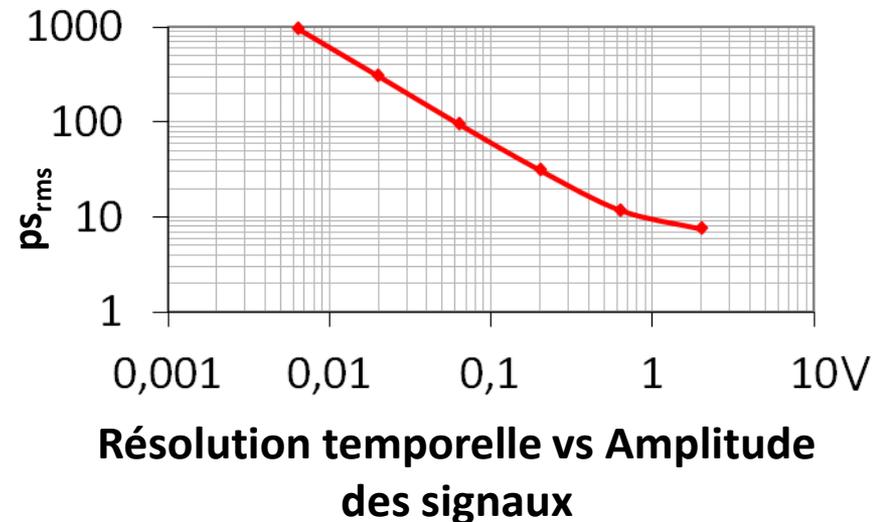


#### Protocole 1 :

Sur Syroco V2

Entrée 1 : signal logique de 2V

Entrée 2 : signal logique variant de 6mV à 2V



### Quels signaux pour FASTER – TDC ?

**Test avec des signaux logiques:**

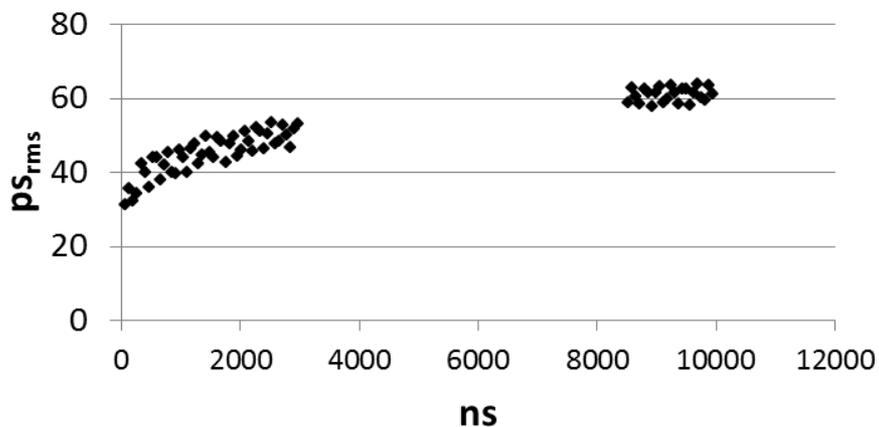
#### Protocole 2 :

Sur Chassis  $\mu$ TCA, horloge 10MHz externe

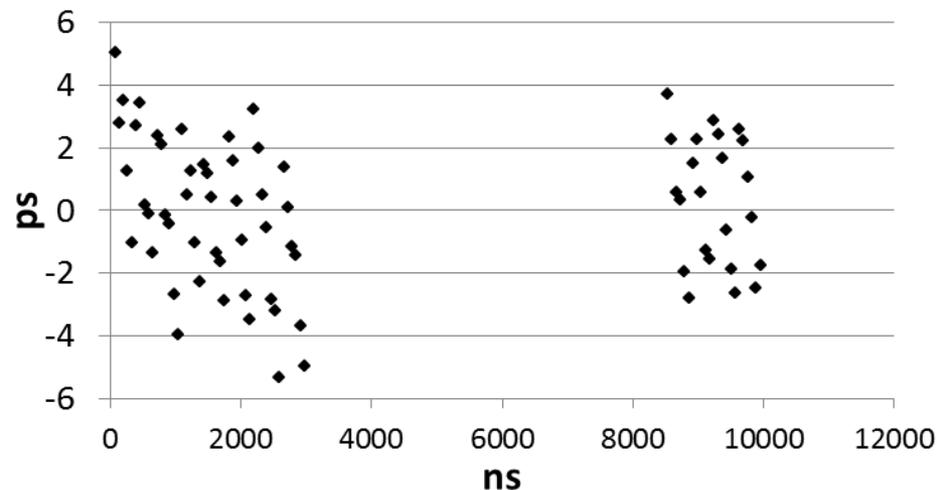
Entrée 1 : signal logique de 2V sur une voie de la carte mère 1

Entrée 2 : signal logique de 2V sur une voie de la carte mère 2

**Résolution temporelle vs TOF**

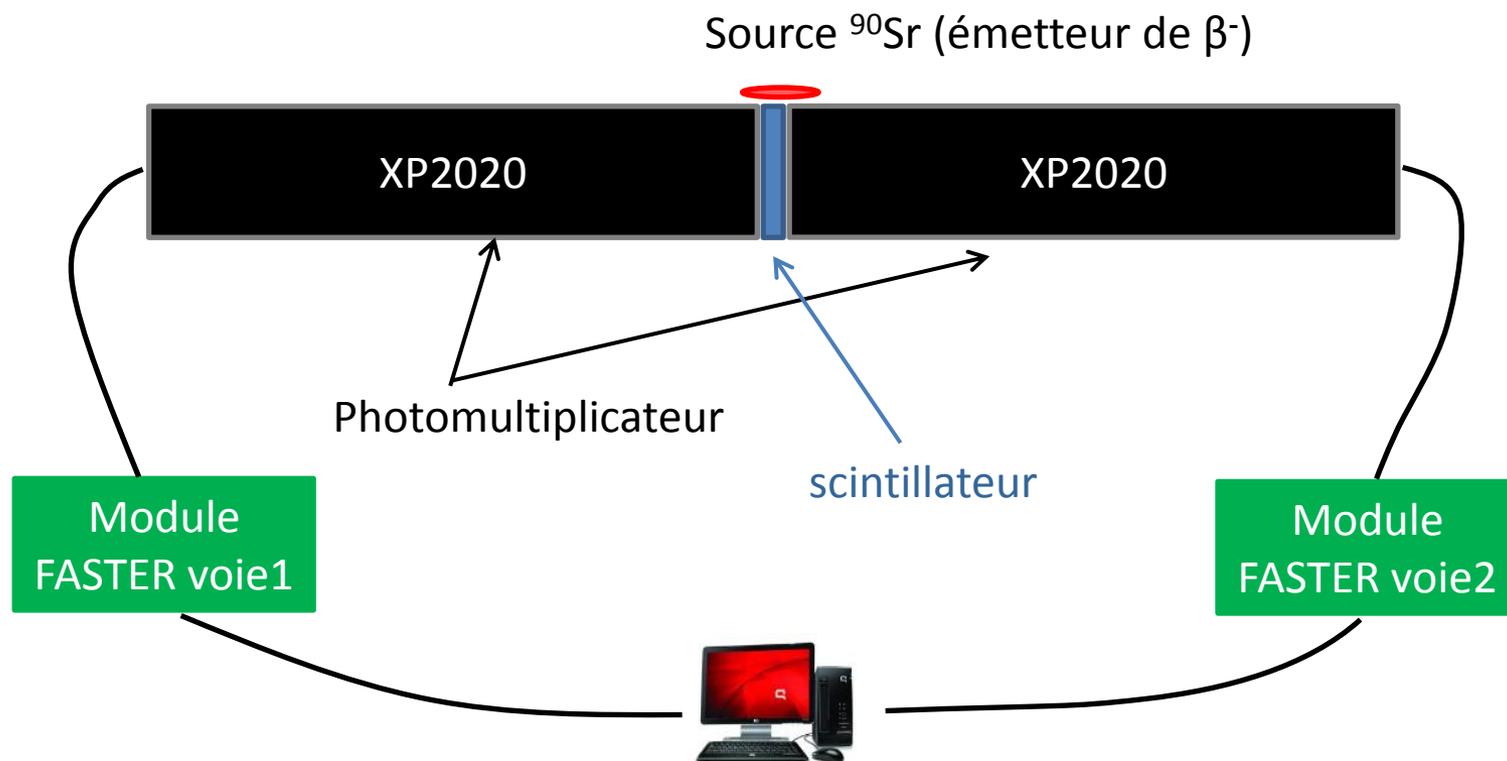


**erreur sur la mesure du TOF vs TOF**

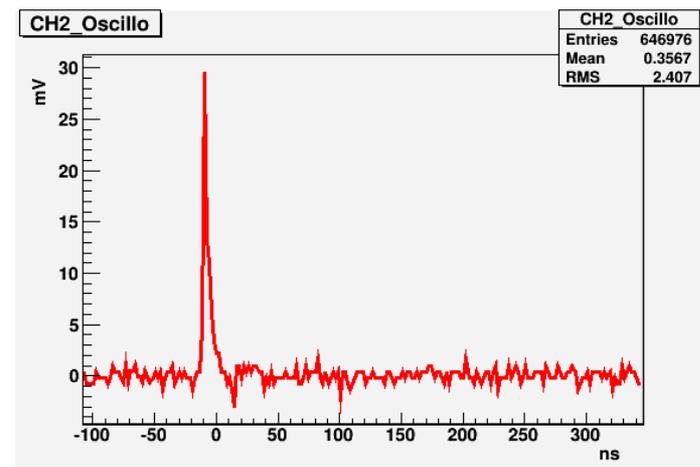
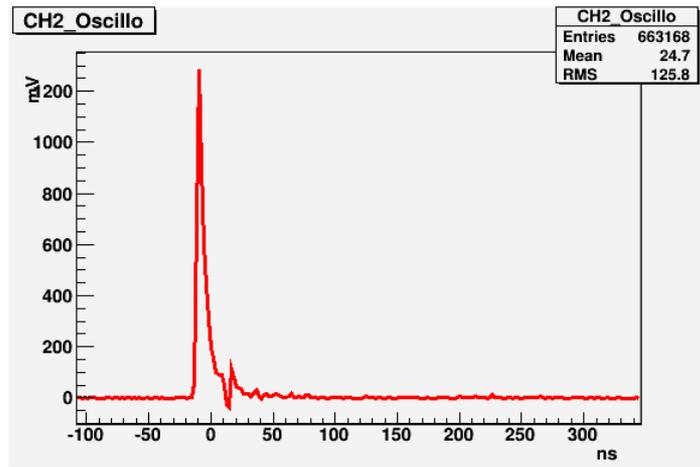


### Quels signaux pour FASTER – TDC ?

Exemple avec une expérience de physique:

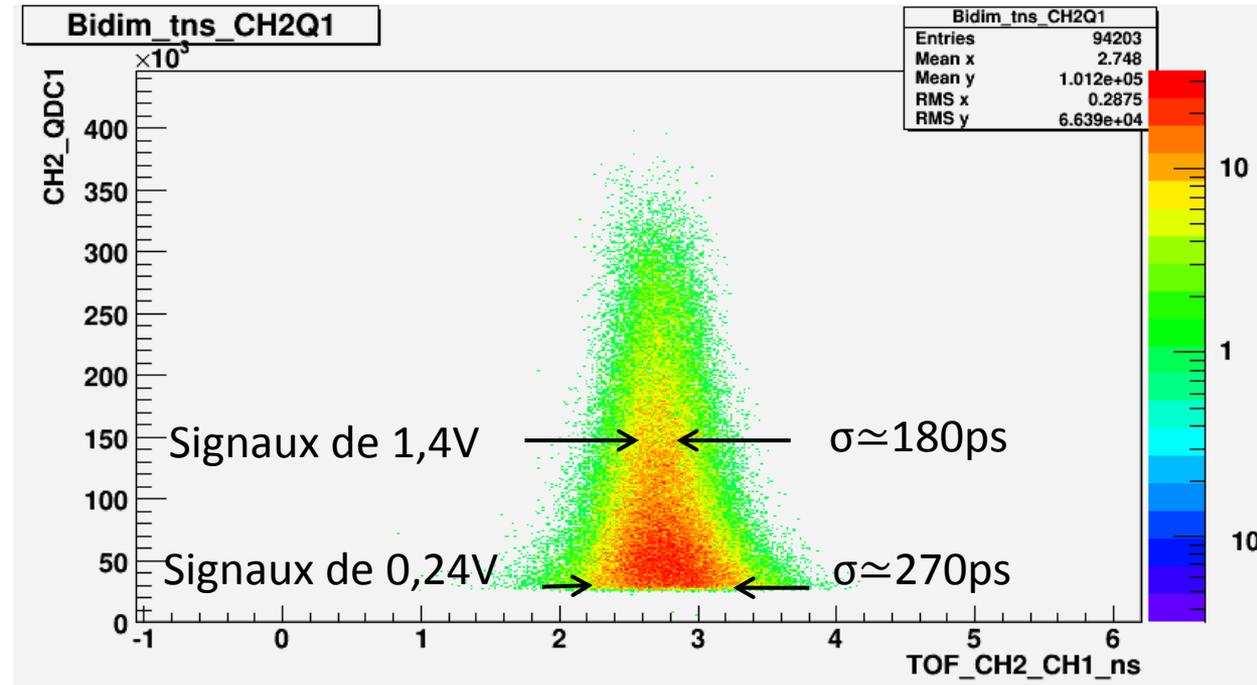
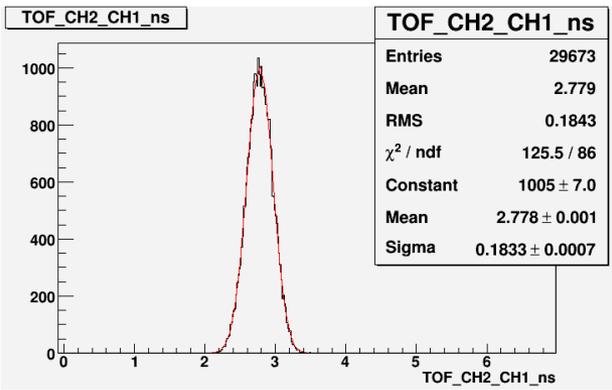
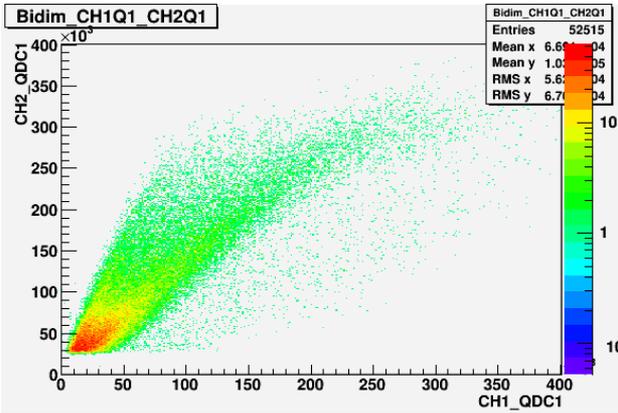


### Exemple avec une expérience de physique



Signaux de 40ns avec un temps de montée d'environ 5 ns .

### Exemple avec une expérience de physique





## 2. Le module TDC de FASTER

### Conclusion

- Mesure de temps effectuée avec des opérations relativement simples.
- Résultats satisfaisants pour de nombreuses expériences de physiques.
- Réel avantage pour les physiciens que le TDC soit intégré avec le QDC.

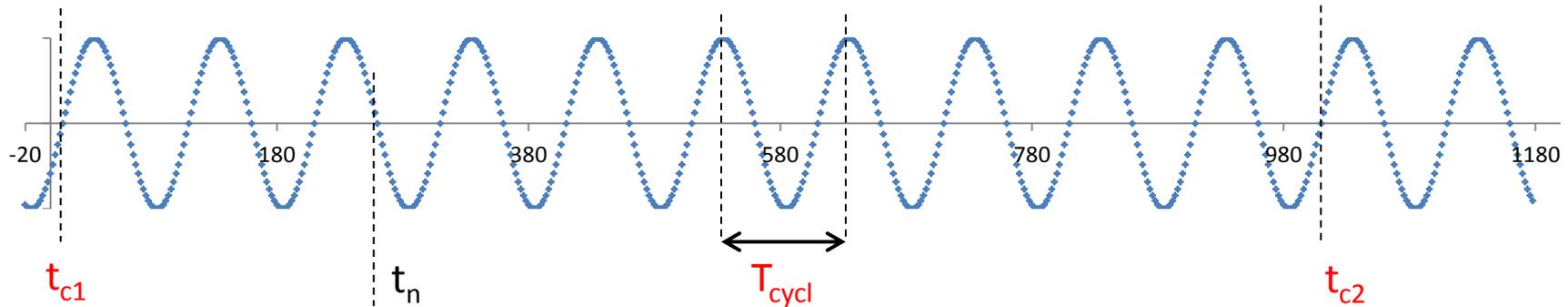


1. Le projet FASTER
2. Le module TDC de FASTER
- 3. Le module Synchro RF**

#### Objectif du module synchro RF?

Utiliser le signal de la RF comme « Start » dans la mesure du TOF.

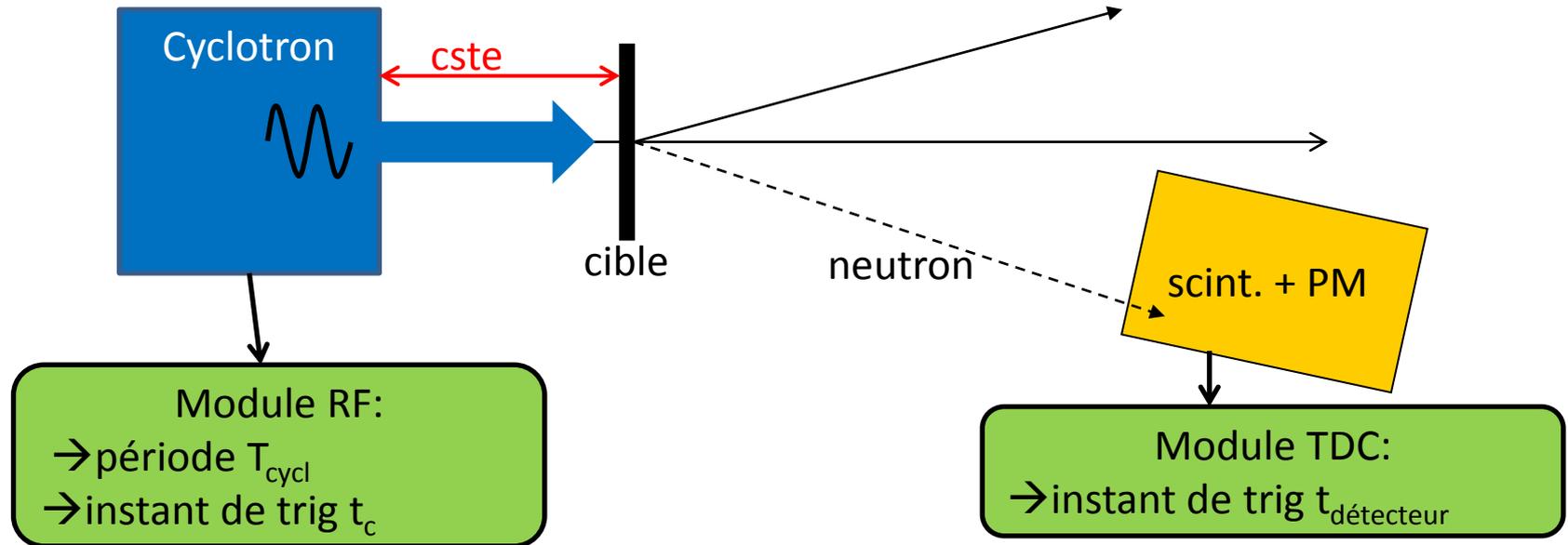
⇒ Donne la mesure précise de la période cyclotron  $T_{cycl}$  et l'instant de déclenchement (= la phase) qui est lié à l'arrivée du faisceau sur la cible.



Le but est d'envoyer le moins souvent possible cette information, pour ne pas saturer la communication. Mais il faut pouvoir reconstruire le plus précisément possible :  $t_n = t_{c1} + n T_{cycl}$

Plus  $T_{cycl}$  est donné précisément, moins souvent il sera nécessaire d'envoyer l'instant de déclenchement  $t_c$

## Mesure de temps avec une RF cyclotron



$$\text{TOF} = t_{\text{détecteur}} - t_c - \text{cste}$$

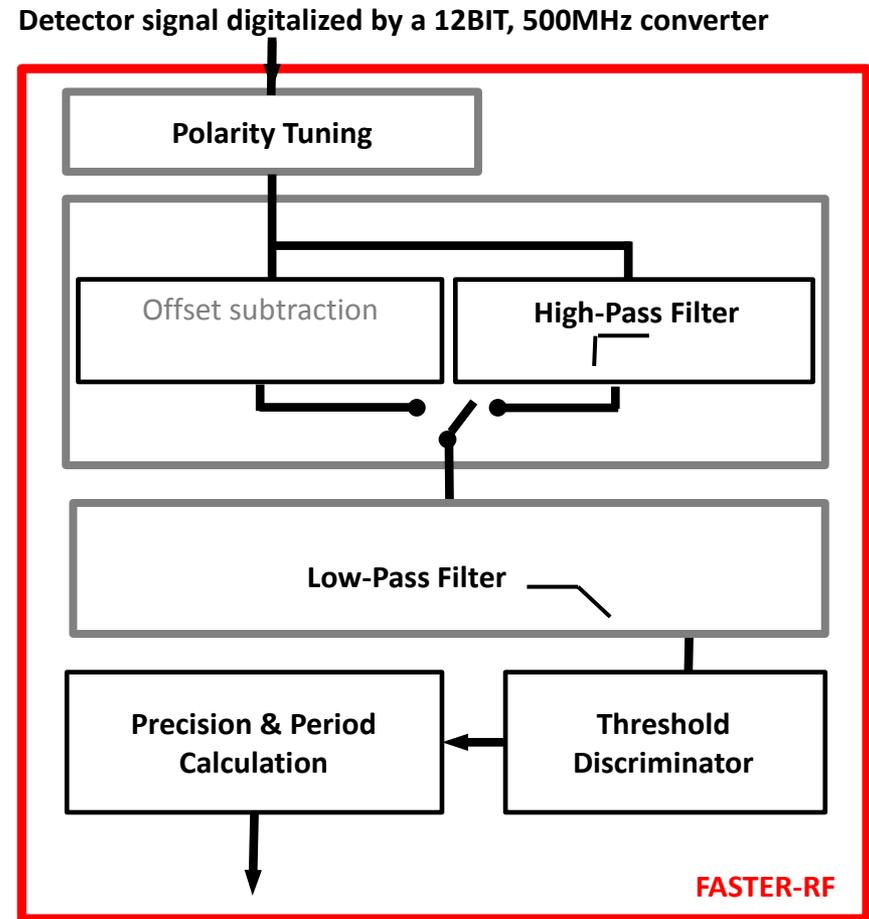
$$\text{TOF} = t_{\text{détecteur}} - n \times T_{\text{cycl}} - t_{c0} - \text{cste}$$

Informations envoyées

## Traitement RF

L'algorithme synchro RF doit comporter les éléments essentiels suivant :

- Un filtre coupant le continu
- Un filtre passe-bas
- ➔ Pour nettoyer le signal
- Un discriminateur à seuil
- Un module calculant la période d'entrée et l'instant de déclenchement.



## Traitement RF

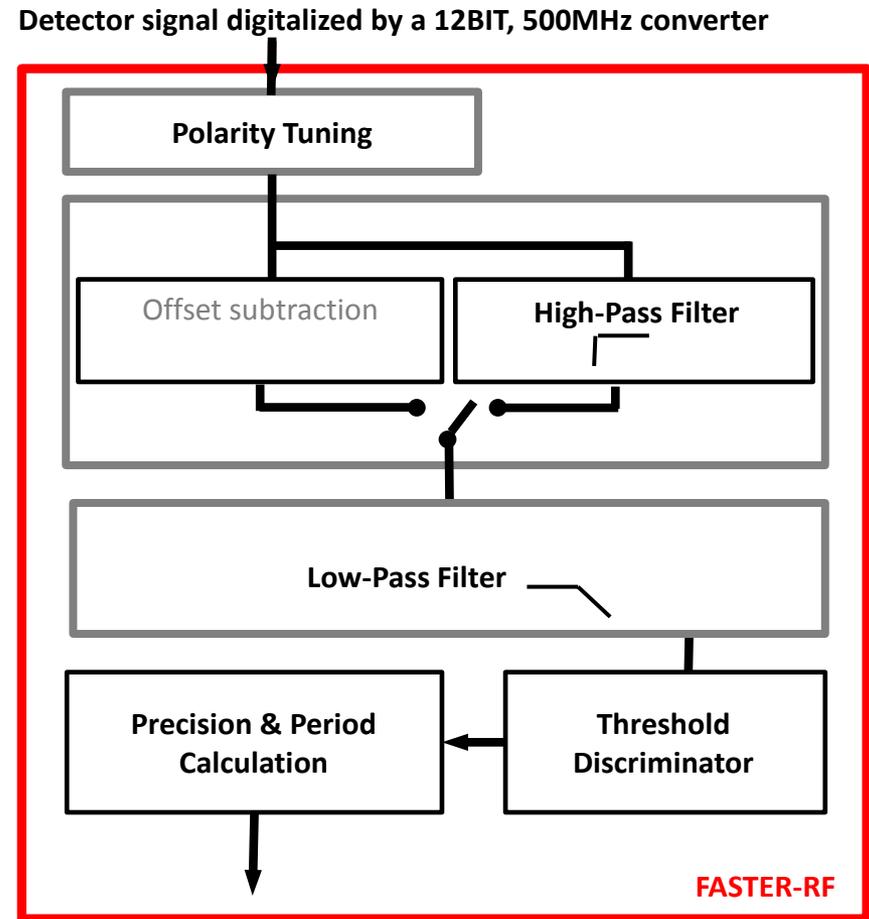
L'algorithme synchro RF doit comporter les éléments essentiels suivant :

- Un filtre coupant le continu

Fabriqué de la même façon que filtre présenté dans l'algorithme FASTER-TDC.

Filtre d'ordre 3, fonctionnant en continu.

Coupe le continu et toutes les variations lentes.



## Traitement RF

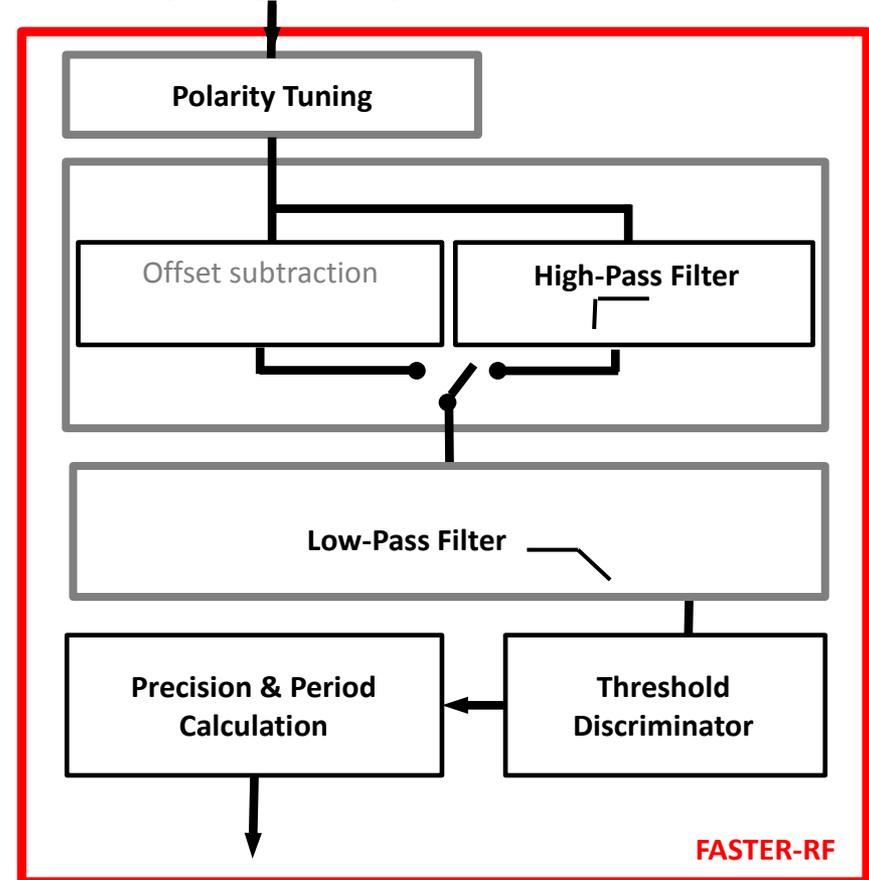
L'algorithme synchro RF doit comporter les éléments essentiels suivant :

- Un filtre coupant le continu
- Un Filtre passe-bas

Pour lisser le signal.

Utile pour des signaux d'entrée à fréquences inférieures à 10MHz

Detector signal digitalized by a 12BIT, 500MHz converter



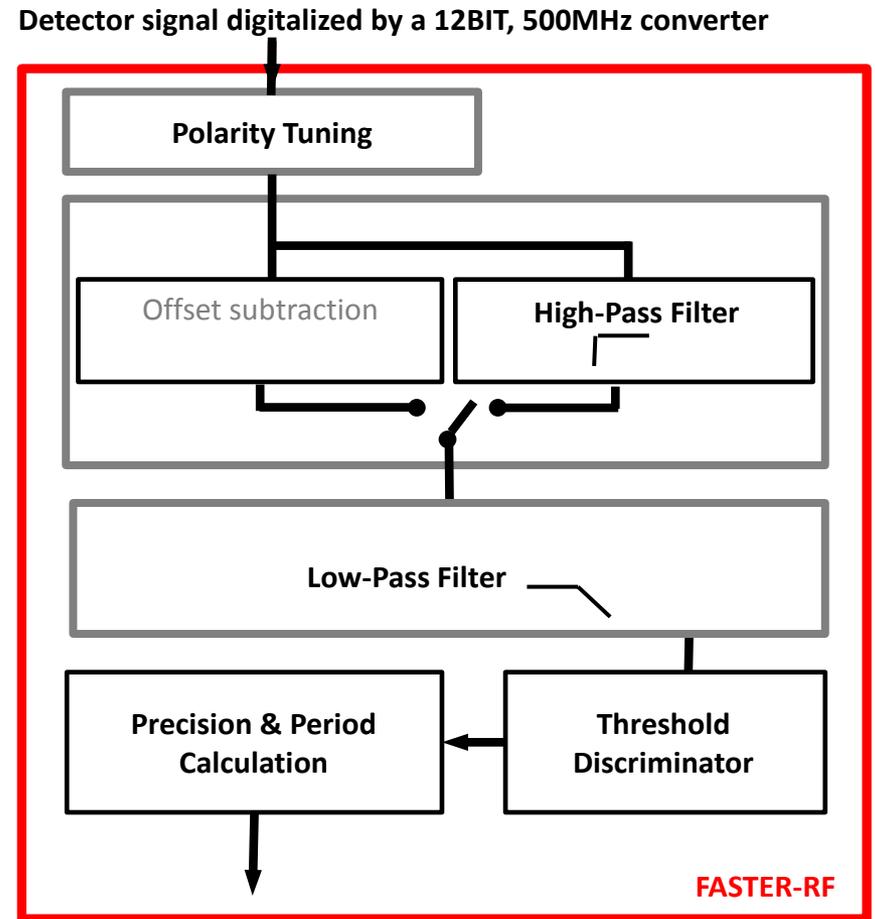
## Traitement RF

L'algorithme synchro RF doit comporter les éléments essentiels suivant :

- Un filtre coupant le continu
- Un Filtre passe-bas
- ➔ Pour nettoyer le signal
- Un discriminateur à seuil

Détecte le passage d'un seuil sur front montant.

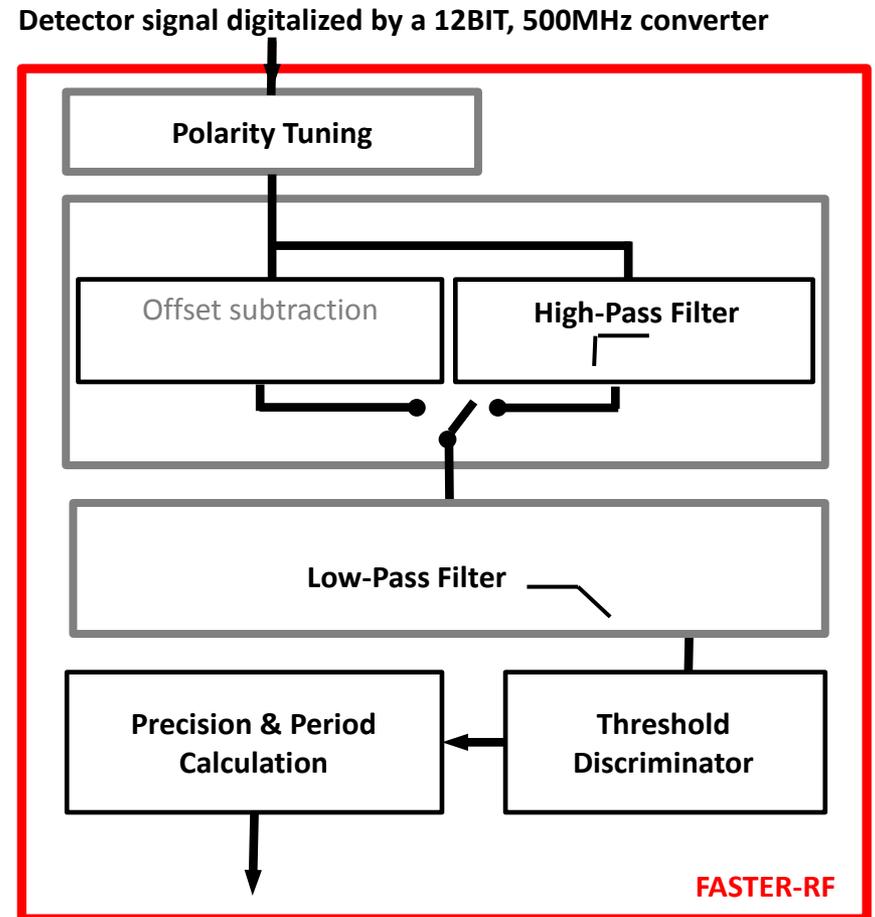
Calcule le passage du seuil à 7,8ps près par interpolation linéaire :  $t_n$



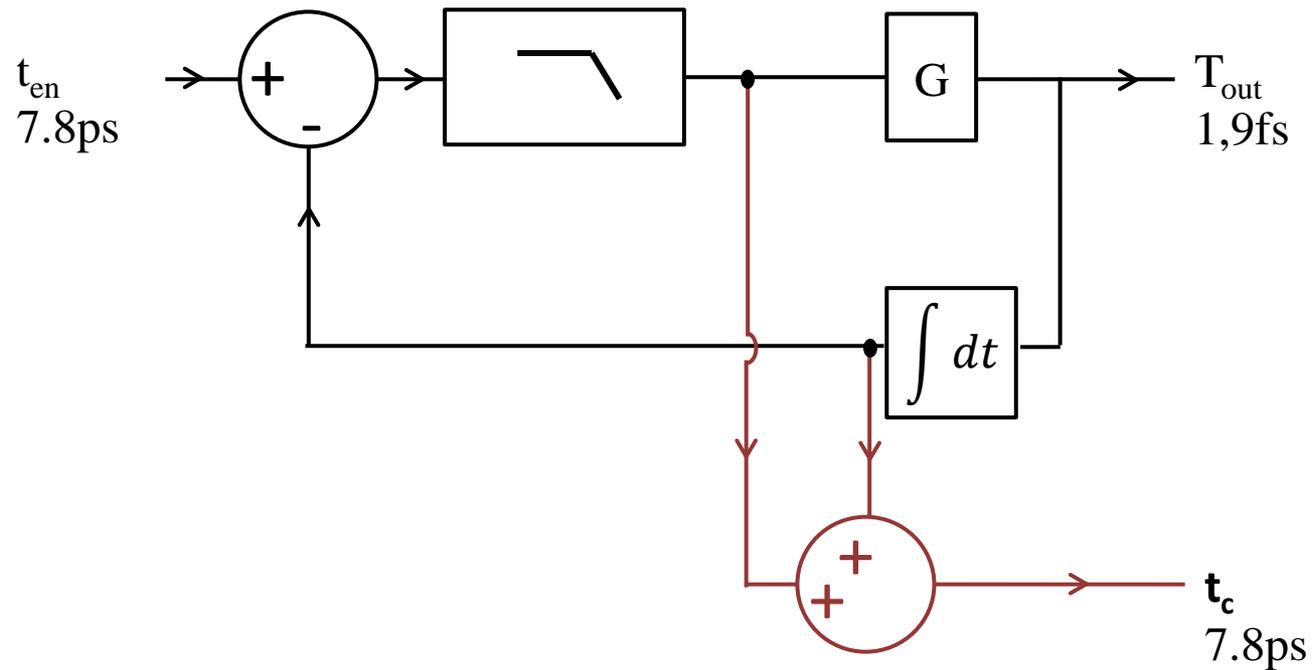
## Traitement RF

L'algorithme synchro RF doit comporter les éléments essentiels suivant :

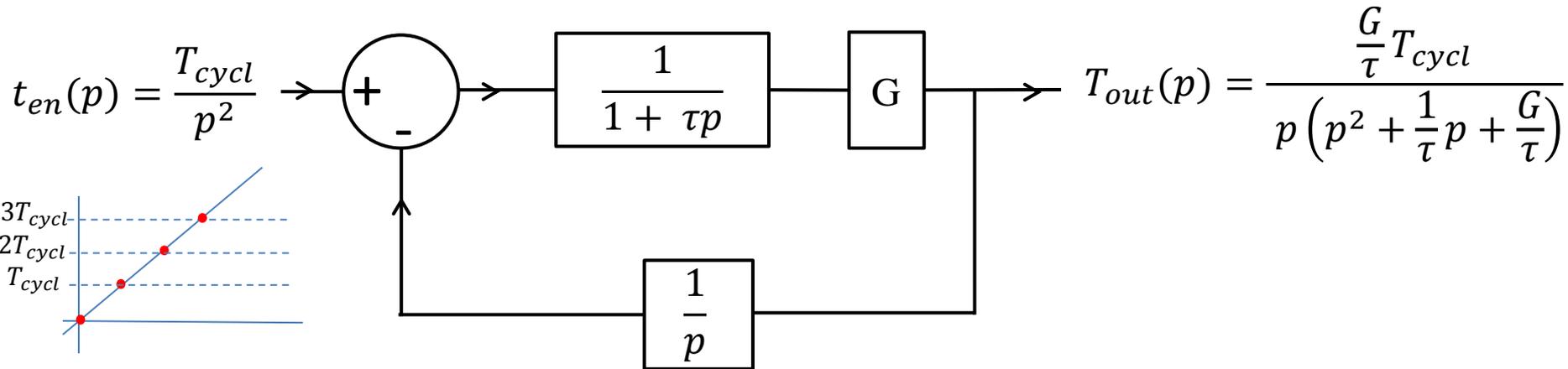
- Un filtre coupant le continu
- Un Filtre passe-bas
- ➔ Pour nettoyer le signal
- Un discriminateur à seuil
- **Un module calculant la période d'entrée et l'instant de déclenchement.**



#### Calcul de la $T_{cycl}$ et $t_c$

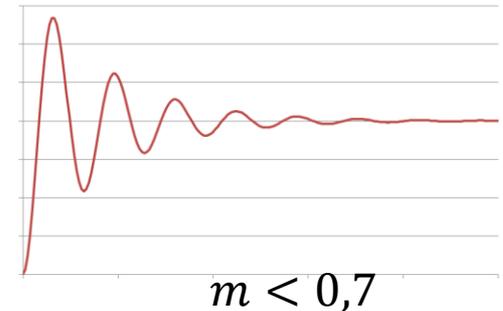
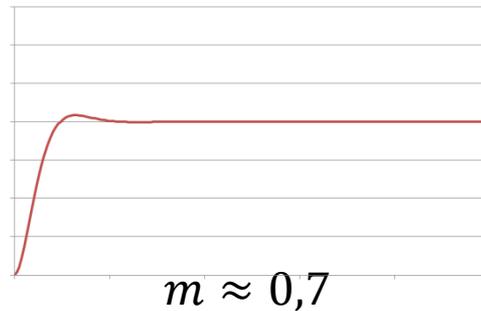
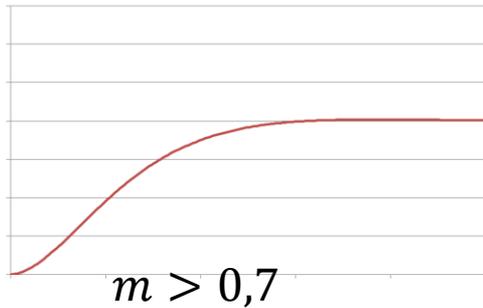


#### Calcul de la $T_{cycl}$ et $t_c$



$$\lim_{t \rightarrow \infty} T_{out}(t) = \lim_{p \rightarrow 0} p T_{out}(p) = T_{cycl}$$

#### Rappel : systèmes asservis

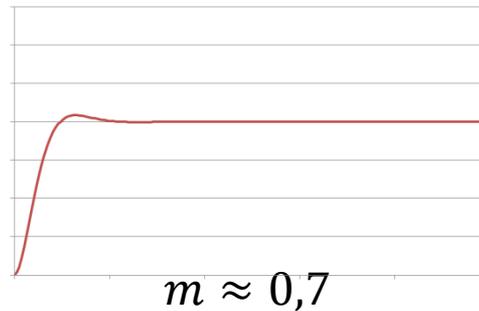


$$T_{out}(p) = \frac{\frac{G}{\tau} T_{cycl}}{p \left( p^2 + \frac{1}{\tau} p + \frac{G}{\tau} \right)}$$

On pose :  $\omega_o = \sqrt{\frac{G}{\tau}}$        $m = \frac{1}{2} \sqrt{\frac{1}{G\tau}}$        $\omega = \omega_o \sqrt{1 - m^2}$        $\varphi = \text{atan}\left(\frac{\sqrt{1-m^2}}{-m}\right)$

$$T_{out}(t) = \text{TL}^{-1}(T_{out}(p)) = T_{cycl} \left[ 1 - \frac{1}{\sqrt{1 - m^2}} e^{-\frac{t}{\tau}} \sin(\omega t - \varphi) \right]$$

#### Rappel : systèmes asservis

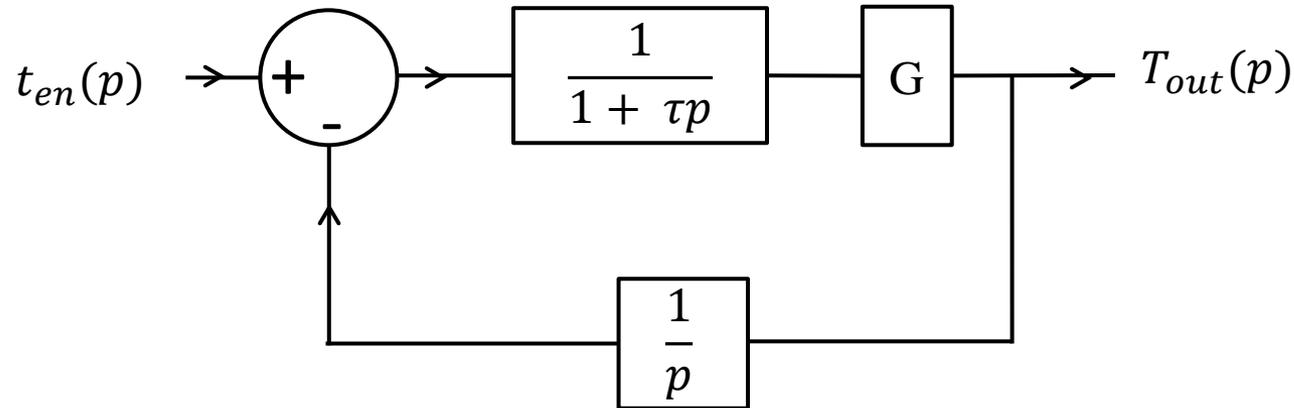


$m \approx 0,7$  donne le temps de réponse le plus rapide

On calcule le dépassement pour définir le nombre de BITS nécessaires au calcul de  $T_{out}$

**En échantillonné? G ?  $\tau$ ?**

#### Implémentation module RF

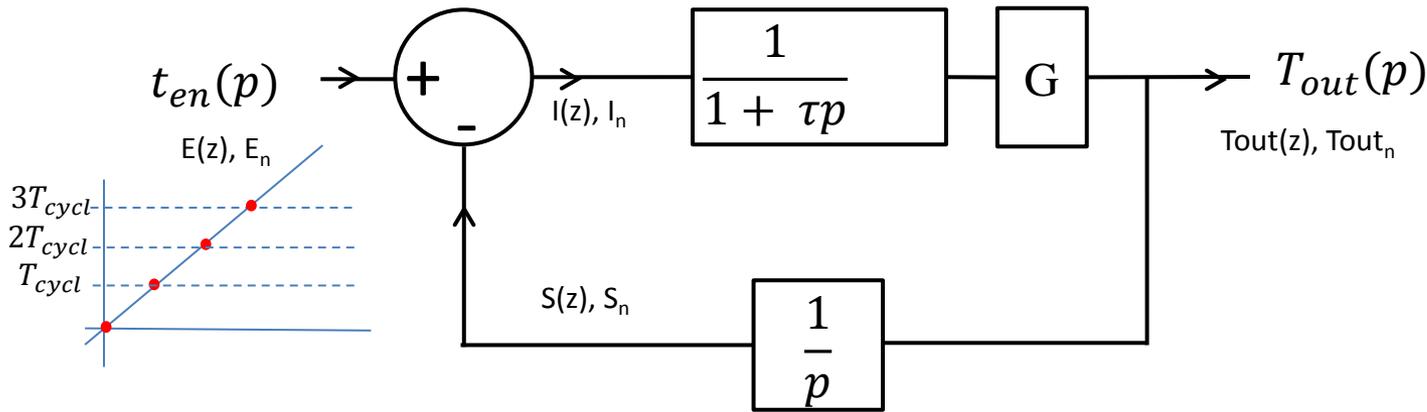


$$\tau = (2^{n_F} - 1)T_{cycl}$$

$$G = \frac{1}{2^{n_G}T_{cycl}}$$

$$\text{Si } n_G = n_F + 1 \text{ on a } m = \frac{\sqrt{2}}{2} \sqrt{1 + \frac{1}{2^{n_F - 1}}} \approx 0,707 \text{ dès que } n_F > 9$$

## Implémentation module RF



Si on utilise  $p = \frac{1}{T_{cycl}} (1 - z^{-1})$

$\tau = (2^{n_F} - 1)T_{cycl}$

$G = \frac{1}{2^{n_G} T_{cycl}}$

Alors  $T_{out}(p) = \frac{G}{1+\tau p} I_n(p) \Rightarrow Tout(z) = \frac{I(z)}{T_{cycl}} \frac{1}{2^{n_G}} \frac{1}{2^{n_F} - 2^{n_F} z^{-1} + z^{-1}}$

$\Rightarrow 2^{n_G+n_F} Tout_n - 2^{n_G+n_F} Tout_{n-1} + \frac{2^{n_G+n_F} Tout_{n-1}}{2^{n_F}} = \frac{I_n}{T_{cycl}}$

En posant  $Out_n = 2^{n_G+n_F} Tout_n \Rightarrow Out_n = Out_{n-1} - \frac{Out_{n-1}}{2^{n_F}} + \frac{I_n}{T_{cycl}}$

$\frac{I(z)}{T_{cycl}} ?$

On a  $\frac{I(z)}{T_{cycl}} = \frac{E(z)}{T_{cycl}} - \frac{S(z)}{T_{cycl}}$ , i.e.  $\frac{I_n}{T_{cycl}} = \frac{E_n}{T_{cycl}} - \frac{S_n}{T_{cycl}}$

$S(p) = \frac{T_{out}(p)}{p} \Rightarrow \frac{S(z)}{T_{cycl}} = \frac{Out(z)}{(1-z^{-1})T_{cycl}}$

En posant  $\tilde{S}_n = \frac{S_n}{T_{cycl}} \Rightarrow \tilde{S}_n = \tilde{S}_{n-1} + Out_n$

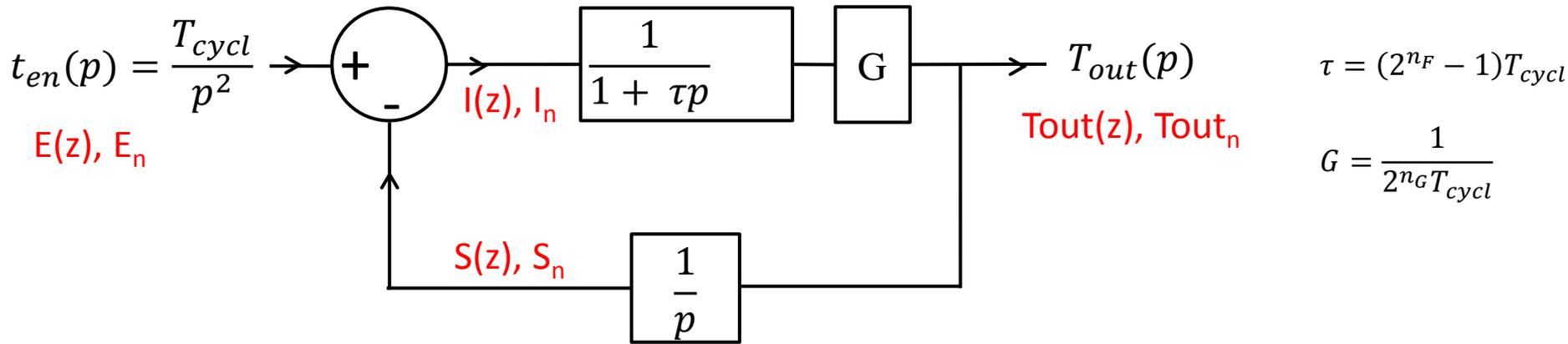
$\frac{E_n}{T_{cycl}} ?$

$t_{en}(p) = \frac{T_{cycl}}{p^2} \Rightarrow t_{en}(t) = T_{cycl} \cdot t + \theta$

$E_n = t_{en}(nT_{cycl})$  donc  $\frac{E_n}{T_{cycl}} = T_{cycl} \cdot n + \tilde{\theta} = t_n$

C'est ce que le module discriminateur fournit

#### Implémentation module RF



En résumé

$$\mathbf{Out}_n = \mathbf{Out}_{n-1} - \frac{\mathbf{Out}_{n-1}}{2^{n_F}} + (\tilde{\mathbf{S}}_n - \mathbf{t}_n)$$

$$\tilde{\mathbf{S}}_n = \tilde{\mathbf{S}}_{n-1} + \mathbf{Out}_n$$

Où  $\mathbf{t}_n$  est donné par le module discriminateur

La période est donnée par  $\mathbf{Tout}_n = \frac{\mathbf{Out}_n}{2^{n_G+n_F}}$  avec  $n_G = n_F + 1$

 Suites indépendantes de  $T_{cycl}$ !

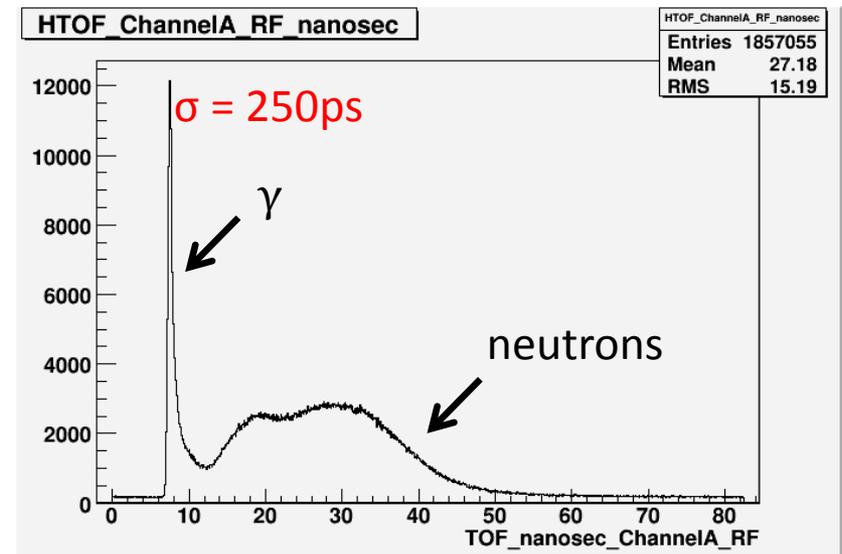
#### Test module RF

Premiers Tests avec :

- quartz 20MHz
- signal provenant d'un analyseur de spectre, ou bon générateur de fonctions.
- Cyclotron GANIL.

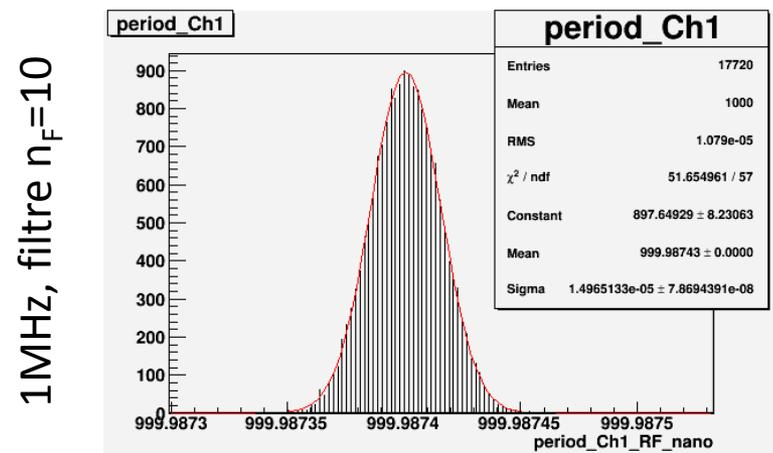
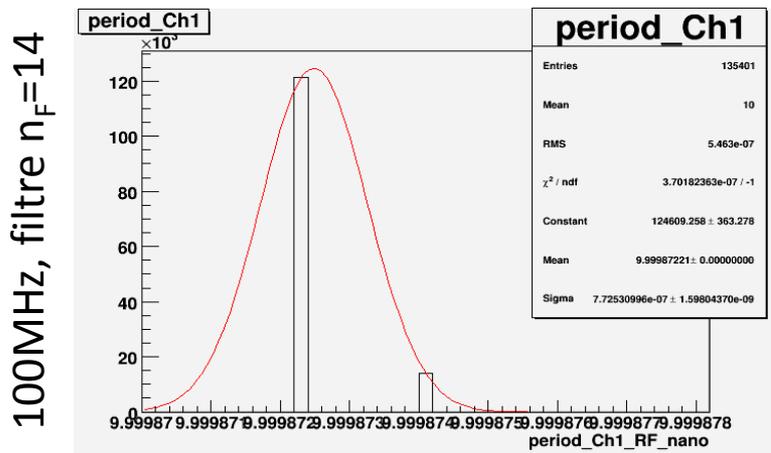
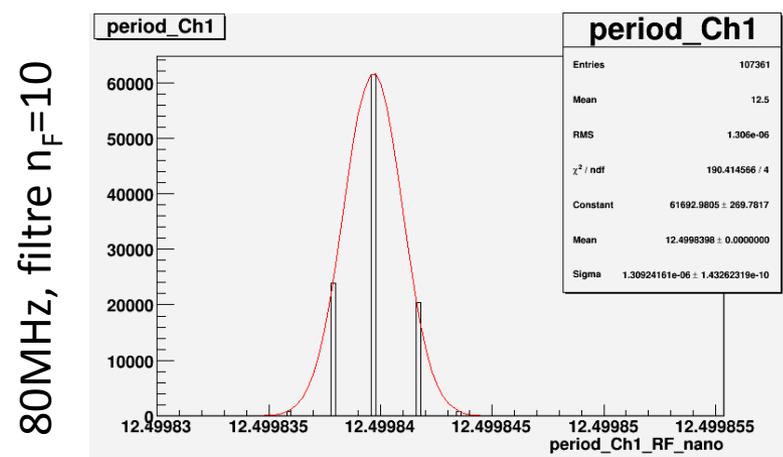
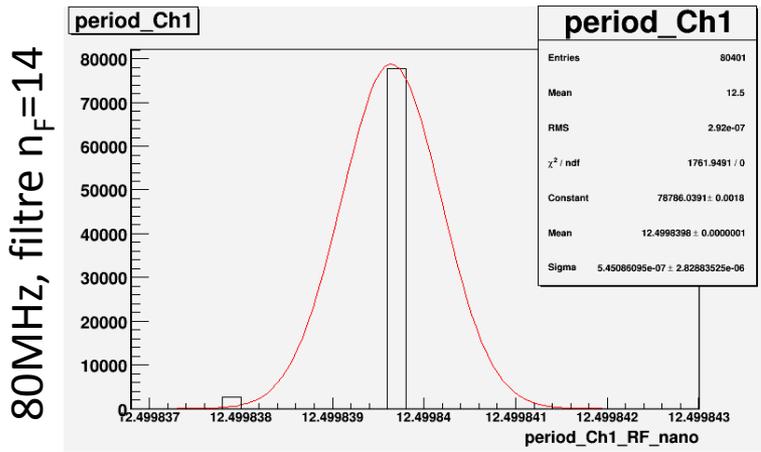
Performances:

- Fréquences d'entrée :  
 $F_{in} = 1\text{MHz} \mapsto 100\text{MHz}$
- Fréquences Bande Passante:  
10ppm Fin ou 150ppm Fin
- Résolution obtenue :  
1fs ou 15fs.



## Exemples de résultats

signal provenant d'un analyseur de spectre.



## Conclusion



Algorithme ne fonctionnant qu'avec des signaux périodiques

- Mesure de la période encore effectuée avec des opérations relativement simples, ne dépendant pas de la fréquence d'entrée.
- Donne de très bons résultats.



# Mesures de temps avec FASTER

## Conclusion générale

FASTER est un système modulaire d'acquisition numérique contenant

- des algorithmes de traitement du signal associés aux cartes filles développées,
- ou simplement un interfaçage des cartes filles.

- carte fille CARAS (2 voies): QDC-TDC<sub>HR</sub>, RF, ADC-TDC
- carte fille MOSAHR (4 voies): ADC<sub>HR</sub>-TDC
- carte fille NINO\_SCATS (16 voies) : marqueur en temps (en conception)  
pas de quantification  $160/32=195$  ps, résolution  $\in [62\text{ps}; 70\text{ps}]$  (pour détecteurs diamant)
- carte électromètre (64 voies) (en conception).  
(pour chambre à ionisation à pistes)